

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年   1 月 1 3 日  
Date of Application:

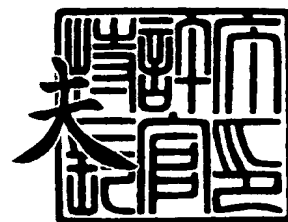
出 願 番 号            特 願 2 0 0 4 - 0 0 5 8 5 7  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 4 - 0 0 5 8 5 7 ]

出      願      人  
Applicant(s):            株式会社ルネサステクノロジ  
                              松下電器産業株式会社

2 0 0 4 年   1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 541897JP02  
【提出日】 平成16年 1月13日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/66  
【発明者】  
    【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ  
                                ロジ内  
    【氏名】 國清 辰也  
【発明者】  
    【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ  
                                ロジ内  
    【氏名】 渡邊 哲也  
【発明者】  
    【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ  
                                ロジ内  
    【氏名】 金本 俊幾  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
    【氏名】 山下 恭司  
【特許出願人】  
    【識別番号】 503121103  
    【氏名又は名称】 株式会社ルネサステクノロジ  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100089233  
    【弁理士】  
    【氏名又は名称】 吉田 茂明  
【選任した代理人】  
    【識別番号】 100088672  
    【弁理士】  
    【氏名又は名称】 吉竹 英俊  
【選任した代理人】  
    【識別番号】 100088845  
    【弁理士】  
    【氏名又は名称】 有田 貴弘  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 11967  
    【出願日】 平成15年 1月21日  
【手数料の表示】  
    【予納台帳番号】 012852  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0307615

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 ～ 第 3 の端子と、  
前記第 1 の端子に供給する第 1 の電流を検出する第 1 の電流検出部とを備え、  
前記第 2 の端子から誘起される第 2 の電流を検出する第 2 の電流検出部と、  
前記第 3 の端子に供給する第 3 の電流を検出する第 3 の電流検出部とを備え、  
前記第 1 の端子に第 1 の容量が付随し、前記第 1 の容量は測定対象となる第 1 及び第 2 の容量成分と測定対象外となる対象外容量成分とを含み、前記第 3 の端子にダミー容量が付随し、前記ダミー容量は前記対象外容量成分と同一容量値を示し、  
前記第 1 の端子に前記第 1 の容量成分を付随させるために、前記第 1 の端子と前記第 2 の端子との間に設けられた測定容量形成部をさらに備え、前記測定容量形成部は前記第 1 ～ 第 3 の端子及び前記第 1 ～ 第 3 の電流検出部とともに容量値測定部を構成する、  
容量値測定用回路。

**【請求項 2】**

請求項 1 記載の容量値測定用回路であって、  
前記第 1 ～ 第 3 の電流検出部は少なくとも一つのトランジスタを含み、  
前記少なくとも一つのトランジスタは、論理回路を構成する標準的なトランジスタよりもリーク電流が生じにくいトランジスタ特性を有するトランジスタを含む、  
容量値測定用回路。

**【請求項 3】**

請求項 1 記載の容量値測定用回路であって、  
前記第 1 ～ 第 3 の電流検出部は第 1 の導電型の少なくとも一つのトランジスタを含み、  
前記少なくとも一つのトランジスタは第 2 の導電型のウェル領域内形成され、  
前記ウェル領域は第 1 の導電型のボトム領域の上層部に選択的に形成される、  
容量値測定用回路。

**【請求項 4】**

請求項 1 記載の容量値測定用回路であって、  
前記第 1 ～ 第 3 の電流検出部は互いの導電型式が異なる第 1 及び第 2 のトランジスタを含み、  
前記第 1 及び第 2 のトランジスタは、埋込絶縁層及びその上部に形成される半導体層を有する SOI 基板の前記半導体層に形成され、前記埋込絶縁層に到達する素子分離領域によって互いに絶縁分離される、  
容量値測定用回路。

**【請求項 5】**

請求項 1 ないし請求項 4 のうち、いずれか 1 項に記載の容量値測定用回路であって、  
前記容量値測定部は第 1 及び第 2 の回路を含み、  
前記第 1 及び第 2 の回路はそれぞれ前記第 1 ～ 第 3 の端子及び前記第 1 ～ 第 3 の電流検出部を有し、  
前記第 1 及び第 2 の回路はそれぞれ前記測定容量形成部として互いに異なる第 1 及び第 2 の測定容量形成部を有し、  
前記第 1 の容量成分は第 1 及び第 2 の部分容量成分を含み、  
前記第 1 の測定容量形成部は実質的に前記第 1 及び第 2 の部分容量成分を含み、前記第 2 の測定容量形成部は実質的に前記第 2 の部分容量成分のみを含むことを特徴とする、  
容量値測定用回路。

**【請求項 6】**

請求項 5 記載の容量値測定用回路であって、  
前記第 1 及び第 2 の測定容量形成部はそれぞれ第 1 及び第 2 の測定用トランジスタを有し、  
前記第 1 及び第 2 の測定用トランジスタはそれぞれ、ゲート電極、一対の電極領域を有し、前記ゲート電極は前記第 2 の端子に電氣的に接続され、前記一対の電極領域の一方は

コンタクトホールを介して、前記第1の端子に電氣的に接続される配線層に電氣的に接続され、

前記第1の部分容量成分は前記コンタクトホールと前記ゲート電極との間に形成される結合容量を含み、前記第2の部分容量成分は前記ゲート電極と前記配線層との間に形成される結合容量を含み、

前記第1の測定用トランジスタにおける前記コンタクトホールの前記ゲート電極からの距離は、前記第1の部分容量成分が有効になる長さに設定され、前記第2の測定用トランジスタにおける前記コンタクトホールの前記ゲート電極からの距離は、前記第1の部分容量成分が無効化する長さに設定される、  
容量値測定用回路。

【請求項7】

請求項5記載の容量値測定用回路であって、

前記第1及び第2の測定容量形成部は第1及び第2の測定用トランジスタをそれぞれ有し、

前記第1及び第2の測定用トランジスタはそれぞれ、ゲート電極、第1及び第2の電極領域を有し、第1及び第2の電極領域は第1及び第2のコンタクトホールを介して第1及び第2の配線層に電氣的に接続され、前記第1及び第2の配線層が第1及び第2の端子に電氣的に接続され、

前記第1の部分容量成分は前記第1及び第2のコンタクトホール間に形成される結合容量を含み、前記第2の部分容量成分は前記第1、第2の電極領域間に形成される結合容量を含み、

前記第1の測定用トランジスタにおける前記第1及び第2のコンタクトホールは、前記第1の部分容量成分が有効になるように形成され、前記第2の測定用トランジスタにおける前記第1及び第2のコンタクトホールの少なくとも一つは、前記第1の部分容量成分が零になるように形成される、  
容量値測定用回路。

【請求項8】

第1端子と、

所定数の第2の端子と、

前記第1の端子に供給する第1の電流を検出する第1の電流検出部と、

共通信号線から得られる第2の電流を検出する第2の電流検出部とを備え、

前記第1の端子に第1の容量が付随し、前記第1の容量は第1及び第2の容量成分を含み、前記第1の容量成分は所定数の第1の容量成分を含み、

前記第1の容量成分を付随させるために、前記第1の端子と前記所定数の第2の端子との間に測定容量形成部とをさらに備え、前記測定容量形成部は、前記第1端子と前記所定数の第2の端子との間に前記所定数の第1の容量成分が設けられ、

前記所定数より少ないビット数の外部信号に基づき前記所定数の第2の端子のうちいずれかを選択端子として選択し、該選択端子から誘起される前記第2の電流を前記共通信号線に伝達する選択部をさらに備える、

容量値測定用回路。

【請求項9】

請求項8記載の容量値測定用回路であって、

前記選択部は、

前記外部信号のうちの1ビットがシリアル入力される複数のラッチ部と、

前記複数のラッチ部のラッチデータに基づき、前記複数の第2の端子を選択する端子選択部とを含む、

容量値測定用回路。

【請求項10】

第1及び第2の端子と、

前記第1の端子に供給する供給電流を検出する電流検出部と、

前記第2の端子を固定電位に接続する第1の状態及び前記第1, 第2の端子間を短絡する第2の状態のうち、いずれかの状態に設定する端子状態切り換え部と、

前記第1, 第2の端子間に、第1及び第2の容量成分を含む測定容量を有する測定容量形成部とを備え、前記測定容量形成部は、前記第1及び第2の端子、前記電流検出部、及び前記端子状態切り換え部と共に容量値測定部を構成し、容量値測定用回路。

【請求項11】

請求項10記載の容量値測定用回路であって、

前記容量値測定部は第1及び第2の回路を含み、

前記第1及び第2の回路は、それぞれ、前記第1及び第2の端子、前記電流検出部、及び前記端子状態切り換え部を有し、

前記第1及び第2の回路は前記測定容量形成部として互いに異なる第1及び第2の測定容量形成部を有している、容量値測定用回路。

【請求項12】

請求項11記載の容量値測定用回路であって、

前記測定容量は測定対象外となる対象外容量成分を含み、

前記第1及び第2の測定容量形成部は、前記第1及び第2の回路の前記第1及び第2の状態で得られる4つの前記供給電流の値に基づき、前記対象外容量成分を除去して前記第1及び第2の容量成分を測定可能に形成されることを特徴とする、容量値測定用回路。

【請求項13】

請求項12記載の容量値測定用回路であって、

前記測定容量は測定対象となる第3の容量成分を含み、

前記第1及び第2の測定容量形成部は、前記第1及び第2の回路の前記第1及び第2の状態で得られる4つの前記供給電流の値に基づき、前記対象外容量成分を除去して前記第1～第3の容量成分のうち少なくとも一つが測定可能に形成されることを特徴とする、容量値測定用回路。

【請求項14】

請求項13記載の容量値測定用回路であって、

前記第1の測定容量形成部は、

第1の半導体基板と、

前記第1及び第2の端子に電氣的に接続される第1及び第2の電極とを含み、

前記第1の半導体基板の表面内の所定領域に選択的に形成される第1及び第2の活性領域とを備え、前記第1及び第2の活性領域は前記第1及び第2の電極に電氣的に接続され、

前記第1, 第2の活性領域間を絶縁分離する分離領域を含み、

前記第2の測定容量形成部は、

前記第1の半導体基板と等価な第2の半導体基板と、

前記第2の半導体基板の表面内の少なくとも前記所定領域に対応する領域に形成される絶縁領域とを含み、

前記第1及び第2の容量成分の一方は前記第1及び第2の電極間に形成される結合容量を含み、

前記第3の容量成分は、前記第1, 第2の活性領域とその間の前記分離領域によって形成される結合容量を含む、

容量値測定用回路。

【請求項15】

請求項14記載の容量値測定用回路であって、

前記第1の測定容量形成部は、

前記第1の半導体基板の前記所定領域外の表面内に前記第1及び第2の活性領域と等価

なダミー活性領域を設けたことを特徴する、  
容量値測定用回路。

【請求項 16】

請求項 14 あるいは請求項 15 記載の容量値測定用回路であって、  
前記第 1 及び第 2 の半導体基板は、埋込絶縁層及びその上部に形成される半導体層を有する SOI 基板を含み、前記第 1 の測定容量形成部の前記第 1 及び第 2 の活性領域は前記半導体層の表面内に形成され、前記第 2 の測定容量形成部の前記絶縁領域は前記半導体層の表面内に形成される、  
容量値測定用回路。

【請求項 17】

請求項 16 記載の容量値測定用回路であって、  
前記分離領域は、前記半導体層の表面から前記埋込絶縁層に到達する分離領域を含み、前記第 1 及び第 2 の活性領域間は前記埋込絶縁層及び前記分離領域により完全分離される、  
容量値測定用回路。

【請求項 18】

請求項 17 記載の容量値測定用回路であって、  
前記第 1 及び第 2 の活性領域は前記半導体層の表面から前記埋込絶縁層に到達する活性領域を含む、  
容量値測定用回路。

【請求項 19】

請求項 14 記載ないし請求項 18 のうち、いずれか 1 項に記載の容量値測定用回路であって、  
前記第 1 及び第 2 の電極はそれぞれ複数の歯部分を有する櫛形構造を有し、前記第 1 及び第 2 の電極の前記複数の歯部分は交互に所定間隔隔てて交叉するように配置され、  
前記第 1 及び第 2 の活性領域は前記分離領域を介して交互に形成される複数の第 1 及び第 2 の活性領域を含み、前記複数の第 1 及び第 2 の活性領域は前記第 1 及び第 2 の電極それぞれの複数の歯部分とそれぞれコンタクトホールを介して電氣的に接続される、  
容量値測定用回路。

【請求項 20】

請求項 13 記載の容量値測定用回路であって、  
前記第 1 及び第 2 の測定容量形成部はそれぞれ、  
半導体基板と、  
前記第 1 及び第 2 の端子に電氣的に接続される第 1 及び第 2 の配線層と、  
前記半導体基板の表面内の所定領域に選択的に形成される第 1 及び第 2 の活性領域とを含み、前記第 1 の活性領域は前記第 1 の配線層により電氣的影響を受け、前記第 2 の活性領域はコンタクトホールを介して前記第 2 の配線層に電氣的に接続され、  
前記第 1、第 2 の活性領域間を絶縁分離する分離領域をさらに含み、  
前記第 3 の容量成分は、前記第 1、第 2 の活性領域とその間の前記分離領域によって形成される結合容量を含み、  
前記第 1 及び第 2 の測定容量形成部間で異なる面積の前記第 1 の活性領域を用いたことを特徴とする。  
容量値測定用回路。

【請求項 21】

請求項 20 記載の容量値測定用回路であって、  
前記第 1 及び第 2 の測定容量形成部それぞれの前記第 1 の活性領域はコンタクトホールを介して前記第 1 の配線層に電氣的に接続される、  
容量値測定用回路。

【請求項 22】

請求項 20 記載の容量値測定用回路であって、

前記第 1 及び第 2 の測定容量形成部はそれぞれ  
前記第 1 の活性領域上に形成されるゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されるゲート電極と、  
前記ゲート電極と前記第 1 配線層とを電氣的に接続するコンタクトホールとを含む、  
容量値測定用回路。

【請求項 23】

第 1 及び第 2 の端子と、  
第 1 及び第 2 のパッドと、  
前記第 1 の端子に供給する第 1 の電流を検出する第 1 の電流検出部と、  
前記第 2 の端子に供給する第 2 の電流を検出する第 2 の電流検出部と、  
前記第 1 の端子に電氣的に接続されるリング負荷部とを備え、  
前記リング負荷部は、第 1、第 2 の順に直列に接続される第 1 及び第 2 のインバータを含み、  
前記第 1 のインバータは、  
前記第 1 のパッドに一方電極及び制御電極が共通に電氣的に接続された第 1 の導電型の第 1 のトランジスタと、  
前記第 2 のパッドに一方電極及び制御電極が共通に電氣的に接続された第 2 の導電型の第 2 のトランジスタとを含み、前記第 1 及び第 2 のトランジスタの制御電極は互いに電氣的に分離され、前記第 1 及び第 2 のトランジスタの他方電極が共通に前記第 1 の端子と電氣的に接続される、  
容量値測定用回路。

【請求項 24】

請求項 8 あるいは請求項 10 記載の容量値測定用回路を用いた配線特性の解析方法であって、  
(a) 絶縁層を介して複数の層に形成される多層配線構造の配線層間の絶縁層の膜厚及びその誘電率を含む配線特性を設定するステップと、  
(b) 前記ステップ(a)で設定した前記配線特性に基づき所定の容量を非実測で求めるステップとを備え、前記所定の容量は前記第 1 及び第 2 の容量成分のうちの少なくとも一つを含み、  
(c) 前記多層配線構造を前記測定容量形成部に含む前記容量値測定用回路を用いて前記所定の容量を実測で求めるステップと、  
(d) 前記ステップ(b)，(c)で得た前記所定の容量値とが一致するように、前記配線特性を適宜変更しながらステップ(b)を繰り返し実行させ、最終的に一致した前記配線特性を推定値として解析するステップと、  
をさらに備える配線特性の解析方法。

【請求項 25】

請求項 8 記載の容量値測定用回路を用いた配線特性の解析方法であって、  
(a) 絶縁層を介して形成される複数の配線層からなる多層配線構造における前記複数の配線層間の絶縁層の膜厚及びその誘電率並びに前記複数の配線層のうち所定の配線層の膜厚を含む配線特性を設定するステップと、  
(b) 前記ステップ(a)で設定した前記配線特性に基づき、前記所定の配線層に付随する所定の容量及び前記所定の配線層の配線抵抗である所定の抵抗を非実測で求めるステップとを備え、前記所定の容量は前記第 1 の容量成分を含み、  
(c) 前記多層配線構造を前記測定容量形成部に含む前記容量値測定用回路を用いて前記所定の容量を実測で求めるステップと、  
(d) 前記測定容量形成部とは独立して設けられ、前記所定の配線層と測定抵抗条件が同じ構造の配線抵抗パターンを含む測定抵抗形成部を用いて前記所定の抵抗を実測で求めるステップと、  
(e) 前記ステップ(b)，(c)間で得た前記所定の容量の容量値が一致する第 1 の条件と、前記ステップ(b)，(d)で得た前記所定の抵抗の抵抗値が一致する第 2 の条件とを満足

するように、前記配線特性を適宜変更しながらステップ(b)を繰り返し実行させ、最終的に一致した前記配線特性を推定値として解析するステップと、  
をさらに備える配線特性の解析方法。

【請求項 26】

請求項 25 記載の配線特性の解析方法であって、

前記多層配線構造は、前記所定の配線層と同じ層に形成され、配線として寄与しないダミーパターンを含み、

前記配線抵抗パターンは抵抗測定対象の抵抗部分と抵抗測定に関与しないメッシュ状配線部とを含み、前記メッシュ状配線部は前記ダミーパターンと同程度の面積占有率を有する、

配線特性の解析方法。

【請求項 27】

請求項 25 あるいは請求項 26 記載の配線特性の解析方法であって、

前記ステップ(e)は、前記第 1 及び第 2 の条件を同時に満たす前記配線特性を一括して抽出する処理を含む、

配線特性の解析方法。

【請求項 28】

請求項 25 ないし請求項 27 のうち、いずれか 1 項に記載の配線特定の解析方法であって、

前記測定抵抗条件は、配線幅、配線長さ、配線間隔及び配線膜厚を含む、  
配線特性の解析方法。



## 【書類名】明細書

【発明の名称】容量値測定用回路及び配線特性の解析方法

## 【技術分野】

【0001】

この発明はC B C M (Charge Based Capacitance Measurement) 方法を用いたC B C M 用回路及びそれを用いた容量値測定方法に関する。

## 【背景技術】

【0002】

C B C M 用回路はL C R メータなどのA C 測定器では十分な精度が得られないs u b - f F レベル ( $10^{-15}$  F 以下) の容量値測定用回路であり、非特許文献1に開示されている。また、配線の一部容量を単独で測定可能にした改良型C B C M 用回路は特許文献1に開示されている。

【0003】

【非特許文献1】James C.Chen, 外3名, "An On-Chip Attifarad Interconnect Charge-Based Capacitance Measurement(CBCM) Technique", IEDM Technial Digest 1996, pp.69-72

【特許文献1】米国特許第6, 300, 765明細書

## 【発明の開示】

## 【発明が解決しようとする課題】

【0004】

従来のC B C M 用回路及び改良型C B C M 用回路は、配線の全体容量や一部容量等、測定対象の容量は固定されており、被測定対象の容量成分を分離した測定が困難であるという問題点があった。

【0005】

この発明は上記問題点を解決するためになされたもので、被測定対象の成分を分離した測定が可能なC B C M 用回路を得ることを目的とする。

## 【課題を解決するための手段】

【0006】

この発明にかかる請求項1記載の容量値測定用回路は、第1～第3の端子と、前記第1の端子に供給する第1の電流を検出する第1の電流検出部とを備え、前記第2の端子から誘起される第2の電流を検出する第2の電流検出部と、前記第3の端子に供給する第3の電流を検出する第3の電流検出部とを備え、前記第1の端子に第1の容量が付随し、前記第1の容量は測定対象となる第1及び第2の容量成分と測定対象外となる対象外容量成分とを含み、前記第3の端子にダミー容量が付随し、前記ダミー容量は前記対象外容量成分と同一容量値を示し、前記第1の端子に前記第1の容量成分を付随させるために、前記第1の端子と前記第2の端子との間に設けられた測定容量形成部をさらに備え、前記測定容量形成部は前記第1～第3の端子及び前記第1～第3の電流検出部とともに容量値測定部を構成している。

【0007】

この発明に係る請求項8記載の容量値測定用回路は、第1端子と、所定数の第2の端子と、前記第1の端子に供給する第1の電流を検出する第1の電流検出部と、共通信号線から得られる第2の電流を検出する第2の電流検出部とを備え、前記第1の端子に第1の容量が付随し、前記第1の容量は第1及び第2の容量成分を含み、前記第1の容量成分は所定数の第1の容量成分を含み、前記第1の容量成分を付随させるために、前記第1の端子と前記所定数の第2の端子との間に測定容量形成部とをさらに備え、前記測定容量形成部は、前記第1端子と前記所定数の第2の端子との間に前記所定数の第1の容量成分が設けられ、前記所定数より少ないビット数の外部信号に基づき前記所定数の第2の端子のうちいずれかを選択端子として選択し、該選択端子から誘起される前記第2の電流を前記共通信号線に伝達する選択部をさらに備えている。

【0008】

この発明に係る請求項 10 記載の容量値測定用回路は、第 1 及び第 2 の端子と、前記第 1 の端子に供給する供給電流を検出する電流検出部と、前記第 2 の端子を固定電位に接続する第 1 の状態及び前記第 1, 第 2 の端子間を短絡する第 2 の状態のうち、いずれかの状態に設定する端子状態切り換え部と、前記第 1, 第 2 の端子間に、第 1 及び第 2 の容量成分を含む測定容量を有する測定容量形成部とを備え、前記測定容量形成部は、前記第 1 及び第 2 の端子、前記電流検出部、及び前記端子状態切り換え部と共に容量値測定部を構成している。

#### 【0009】

この発明に係る請求項 23 記載の容量値測定用回路は、第 1 及び第 2 の端子と、第 1 及び第 2 のパッドと、前記第 1 の端子に供給する第 1 の電流を検出する第 1 の電流検出部と、前記第 2 の端子に供給する第 2 の電流を検出する第 2 の電流検出部と、前記第 1 の端子に電氣的に接続されるリング負荷部とを備え、前記リング負荷部は、第 1, 第 2 の順に直列に接続される第 1 及び第 2 のインバータを含み、前記第 1 のインバータは、前記第 1 のパッドに一方電極及び制御電極が共通に電氣的に接続された第 1 の導電型の第 1 のトランジスタと、前記第 2 のパッドに一方電極及び制御電極が共通に電氣的に接続された第 2 の導電型の第 2 のトランジスタとを含み、前記第 1 及び第 2 のトランジスタの制御電極は互いに電氣的に分離され、前記第 1 及び第 2 のトランジスタの他方電極が共通に前記第 1 の端子と電氣的に接続されている。

#### 【発明の効果】

#### 【0010】

この発明における請求項 1 記載の容量値測定用回路は、第 1～第 3 の電流検出部で検出した第 1～第 3 の電流の値に基づくことにより、第 1 の容量から第 1 及び第 2 の容量成分並びに対象外容量成分を成分分離して、第 1 及び第 2 の容量成分を個別に測定することができる。

#### 【0011】

この発明における請求項 8 記載の容量値測定用回路は、第 1 及び第 2 の電流検出部で検出された第 1 及び第 2 の電流の値に基づき、第 1 の容量から所定数の第 1 の容量成分のいずれかと第 2 の容量成分とを成分分離して測定している。この際、所定数の第 2 の端子から得られる電流を共通信号線から得られる一つの第 2 の電流として検出できるため、第 2 の電流検出用の外部パッドを一つ用いるだけで済ますことができる。

#### 【0012】

この発明における請求項 10 記載の容量値測定用回路は、第 1 及び第 2 の状態それぞれでの供給電流の値に基づき、第 1 及び第 2 の容量成分を測定可能なため、一つの供給電流を検出するだけで、測定容量の第 1 及び第 2 の容量成分を個別測定することができる。

#### 【0013】

この発明における請求項 23 記載の容量値測定用回路のリング負荷部において第 1 のインバータを構成する第 1 及び第 2 のトランジスタの制御電極は互いに電氣的に分離され、第 1 及び第 2 のトランジスタの制御電極は一方電極と共に第 1 及び第 2 のパッドにそれぞれ電氣的に接続されるため、第 1 及び第 2 のパッドに第 1 及び第 2 のトランジスタが確実にオフする固定電位をそれぞれ与えて第 1 の端子に付随する容量を測定することにより、容量測定時に第 1 及び第 2 のトランジスタを流れるリーク電流を実質的に“0”に設定することができる。

#### 【0014】

その結果、第 1 の端子に付随するリング負荷部の容量を精度良く検出することができるため、高精度に測定されたリング負荷部の容量に基づくことにより、リングオシレータを利用した回路シミュレータの AC 検証精度の向上を図ることができる。

#### 【発明を実施するための最良の形態】

#### 【0015】

##### <実施の形態 1>

図 1 はこの発明の実施の形態 1 である C B C M 用回路の構成を示す回路図である。同図

に示すように、PMOSトランジスタMP1及びNMOSトランジスタMN1が直列に接続され、PMOSトランジスタMP2及びNMOSトランジスタMN2が直列に接続される。そして、PMOSトランジスタMP1のソースがパッド52に、PMOSトランジスタMP2のソースがパッド54に接続され、NMOSトランジスタMN1及びMN2のソースが共通にパッド55に接続される。また、PMOSトランジスタMP1及びMP2のゲートにはパッド53が、バックゲートとなるウェル領域にはパッド51がそれぞれ接続され、NMOSトランジスタMN1及びMN2のゲートにはパッド56が接続される。PMOSトランジスタMP1、NMOSトランジスタMN1のドレイン間の端子P3にノードN3が接続される。

#### 【0016】

さらに、PMOSトランジスタMP2、NMOSトランジスタMN2のドレイン間の端子P1にノードN1が電氣的に接続され、ノードN1はノードN2との間の測定容量形成部にカップリング容量（結合容量）Ccが形成される。ノードN2は端子P2及びNMOSトランジスタMN3を介してパッド58に接続される共に端子P2及びNMOSトランジスタMN4を介してパッド55に接続される。NMOSトランジスタMN3及びMN4のゲートにはパッド57及び56がそれぞれ接続される。

#### 【0017】

なお、本明細書中において、「ノード」は通常の電氣的接点のみならず、電氣的接点に電氣的に接続される配線層、容量の電極、トランジスタのゲート電極等の導電層を示す名称としても用いている。

#### 【0018】

また、パッド51、52、53、54、55、56、及び57には、電位NW、基準電位Vref、PMOSゲート電位GP、テスト電位Vtst、電位GND、NMOSゲート電位GN、及びイネーブル電圧ENがそれぞれ付与される。また、パッド52、54には電源が供給され、電流計61及び電流計62によって電源からノードN3及びノードN1にそれぞれ供給される電流Ir及び電流Itがそれぞれ測定される。パッド58は接地レベルに接続され、ノードN2から誘起され接地レベルに流れる電流Imが電流計63によって測定される。

#### 【0019】

電位NWはPMOSトランジスタMP1、MP2のウェル領域の電位設定用の電位であり、電位GNDはNMOSトランジスタMN1、MN2、MN4の活性領域（図示せず）にソース電位として与えられる。

#### 【0020】

PMOSトランジスタMP1及びMP2並びにNMOSトランジスタMN1及びMN2はそれぞれゲート長、ゲート幅、ゲート絶縁膜厚とも同じ対のトランジスタである。また、NMOSトランジスタMN3及びMN4はそれぞれゲート長、ゲート幅、ゲート絶縁膜厚とも同じ対のトランジスタである。

#### 【0021】

そして、ノードN2のテスト容量Ctstとして、基準容量Cref（被測定用配線であるノードN1の配線容量）に、ノードN1、N2間のカップリング容量Cc（第1の容量成分）、及びノードN1におけるカップリング容量Ccを除く配線容量Cv（第2の容量成分）が付加され、テスト容量Ctst=Cref+Cv+Ccとなる。そして、ノードN3にはダミー容量として基準容量Cref（第3の容量成分）と同じ容量値が設けられる。基準容量Crefは測定対象外の容量である。

#### 【0022】

図2は図1で示した実施の形態1のCBCM用回路動作を示すタイミング図である。以下、同図を参照して、実施の形態1のCBCM用回路による容量値測定動作を説明する。

#### 【0023】

基準電位Vref、テスト電位Vtst、電位NWは電源電位Vddに固定され、電位GNDは接地電位Vssに固定される。同図に示すように、PMOSゲート電位GP及びNMOS

Sゲート電位GNの入力電圧波形は、どの時間においても、NMOSトランジスタMN1、MN2及びPMOSトランジスタMP1、MP2のうち、どちらか一方のみがオンするように与えられる。したがって、PMOSトランジスタMP1からNMOSトランジスタMN1へ、あるいは、PMOSトランジスタMP2からNMOSトランジスタMN2へ流れる貫通電流は生じない。

【0024】

図2に示すように、時間t0以前のディスチャージ期間は、PMOSゲート電位GP及びNMOSゲート電位GNは“H”、イネーブル電圧ENが“L”レベルであるため、PMOSトランジスタMP1、MP2及びNMOSトランジスタMN3がオフ状態であり、NMOSトランジスタMN1、MN2及びMN4はオン状態である。したがって、ノードN1～N3は全て“L”にディスチャージされる。

【0025】

時間t0～t1のオフ期間は、NMOSゲート電位GNが“L”に変化するため、PMOSトランジスタMP1及びMP2並びにNMOSトランジスタMN1～MN4がオフ状態となる。

【0026】

時間t1～t2のイネーブル期間は、イネーブル電圧ENが“H”になり、電流計63による電流Imのモニタが可能となる。

【0027】

時間t2～t3の測定期間は、PMOSゲート電位GPが“L”に変化し、PMOSトランジスタMP1及びMP2がオン状態となり電流Ir及び電流Itが流れ、ノードN3及びN1は“H”になる。したがって、ノードN1に付随する全容量(Ctst)に電荷が蓄積される。ノードN3に付随する全容量(Cref)に電荷が蓄積される。なお、本明細書中において、用語「付随」は、寄生容量と寄生容量以外でノードに接続される容量とを含む意味で用いられている。

【0028】

この際、電流Ir及び電流Itがそれぞれ電流計61及び62により測定されると共に、ノードN2からパッド58を経由した接地レベルまでの電流経路で励起される電流Imが電流計63によって測定される。

【0029】

時間t3～t4のディスエーブル期間は、PMOSゲート電位GPが“H”になる。

【0030】

時間t4～t5のオフ期間で、イネーブル電圧ENが“L”になり、全てのPMOSトランジスタMP1及びMP2並びにNMOSトランジスタMN1～MN4がオフ状態となる。

【0031】

その後、時間t5でNMOSゲート電位GNが“H”となり、ディスチャージ期間が開始する。この時間t5～時間t0までの期間がディスチャージ期間となる。

【0032】

以上が動作の1周期T(t0～t5～t0までの時間)で、以降、この動作を繰り返す。電流計で観測するのは、電流Ir、電流It及び電流Imの時間平均値である。今、ゲート入力波形(GP、GN、EN)の周波数をf(=1/T)とすると、次の(1)式が成り立つため、カップリング容量Ccは(2)式で決定する。

【0033】

【数1】

$$I_m = C_c \times V_{dd} \times f \quad \cdots (1)$$

【0034】

【数 2】

$$C_c = I_m / (V_{dd} \times f) \quad \dots(2)$$

【0035】

また、電流  $I_t$  と電流  $I_r$  との差は次の(3)式で与えられる。

【0036】

【数 3】

$$\begin{aligned} I_t - I_r &= C_{tst} \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\ &= (C_{ref} + C_v + C_c) \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\ &= (C_v + C_c) \times V_{dd} \times f \quad \dots(3) \end{aligned}$$

【0037】

したがって、(2)式及び(3)式より、配線容量  $C_v$  が次の(4)式で与えられる。

【0038】

【数 4】

$$\begin{aligned} C_v &= (I_t - I_r) / (V_{dd} \times f) - C_c \\ &= (I_t - I_r - I_m) / (V_{dd} \times f) \quad \dots(4) \end{aligned}$$

【0039】

したがって、ノード  $N_2$  に付随するカップリング容量  $C_c$  及び配線容量  $C_v$  それぞれを、不要な基準容量  $C_{ref}$  を取り除いて正確に求めることができる。

【0040】

図3は測定配線あるいはダミー配線となるノード  $N_1$  ～ノード  $N_3$  の具体例を示す平面図である。図4は図3の  $A-A'$  断面を示す断面図である。

【0041】

これらの図に示すように、容量の一方電極として機能するノード  $N_1$  の両側面に所定間隔隔てて、上記容量の他方電極として機能するノード  $N_2$  が設けられ、図4に示すように、ノード  $N_1$ 、 $N_2$  間でカップリング容量  $C_c$  が2箇所形成され、ノード  $N_1$  の下方の基板（あるいは下層配線）との間に配線容量  $C_v$  が形成される。なお、ノード  $N_1$  がノード  $N_2$  とカップリング容量  $C_c$  を形成するまでの距離  $L_{13}$  相当分の長さでノード  $N_3$  を形成している。

【0042】

図3及び図4の構成で、カップリング容量  $C_c$  及び配線容量  $C_v$  を測定する。この例では、ノード  $N_1$ 、 $N_2$  間に形成されるカップリング容量それぞれを  $C_c$  と設定している。

【0043】

(2)式と同様にしてカップリング容量  $C_c$  は次の(5)式で与えられる。

【0044】

【数 5】

$$C_c = I_m / (V_{dd} \times f \times 2) \quad \dots(5)$$

【0045】

また、電流  $I_t$  と電流  $I_r$  との差は次の(6)式で与えられる。

【0046】

【数 6】

$$\begin{aligned} I_t - I_r &= C_{tst} \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\ &= (C_{ref} + C_v + 2 \times C_c) \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\ &= (C_v + 2 \times C_c) \times V_{dd} \times f \quad \dots(6) \end{aligned}$$

【0047】

したがって、(5)式及び(6)式より、配線容量 $C_v$ が次の(7)式で与えられる。

【0048】

【数7】

$$\begin{aligned} C_v &= (I_t - I_r) / (V_{dd} \times f) - 2 \times C_c \\ &= (I_t - I_r - I_m) / (V_{dd} \times f) \quad \dots(7) \end{aligned}$$

【0049】

図1で示した回路構成では、NMOSトランジスタMN1、MN2及びMN4のゲートにNMOSゲート電位GNを共通に与えるため、NMOSトランジスタMN3を採用することによるパッド数の増加はない。

【0050】

しかも、上述した(1)～(4)式((5)～(7)式)によって、被測定容量であるテスト容量 $C_{tst}$ をカップリング容量 $C_c$ 及び配線容量 $C_v$ に分離して測定することができる。したがって、従来のように、容量成分別に被測定容量用のレイアウトパターンを用意する必要がなくなるため、回路のレイアウト面積を削減することができる。

【0051】

(他の態様)

PMOSトランジスタMP1及びMP2並びにNMOSトランジスタMN1～MN4のサブスレショルド電流の低減を図るべく、一般的な論理回路(コアロジック)で用いられるトランジスタよりゲート長の長いトランジスタを使用することが望ましい。例えば、I/O(入出力用)トランジスタ(3.3V, 2.5V, 1.8V等の比較的高い電源電圧で動作)と同等のゲート長で構成すれば良い。これにより、サブスレショルド電流リークによる測定電流の誤差を低減することができる効果を奏する。なお、コアロジックのトランジスタを説明している文献として例えば、"International Technology Roadmap for Semiconductors (ITRS) 2001 Edition, Process Integration, Device, And Structures And Emerging Research Devices"等がある。

【0052】

ゲート絶縁膜の膜厚をコアトランジスタより厚く形成したり、コアトランジスタの動作電源よりも高く設定したりしても同様な効果を奏する。例えば、ゲート絶縁膜の膜厚をI/Oトランジスタ程度で構成することが考えられる。

【0053】

このように、CBCM用回路で用いるMOSトランジスタとして、論理回路を構成する標準的なトランジスタよりもリーク電流が生じにくいトランジスタを用いることが望ましい。

【0054】

<実施の形態2>

図5はこの発明の実施の形態2であるCBCM用回路の構成をウェル領域との関係で模式的に示した説明図である。同図に示すように、PMOSトランジスタMP1及びMP2はNウェル領域32Nに形成され、NMOSトランジスタMN3及びMN4はPウェル領域32P内に形成される。Pウェル領域32Pはパッド59によってPウェル用接地電位PWで電位固定される。他の構成は図1で示した実施の形態1と同様であるため説明を省略する。

【0055】

図6は図5のCBCM用回路で用いるNMOSトランジスタMN3及びMN4の断面構造を示す断面図である。図7は図6のウェル構造を簡易的に示す説明図である。

【0056】

これらの図に示すように、P型基板30の上層部にボトムNウェル領域31が設けられ、ボトムNウェル領域31の上層部にPウェル領域32P及びNウェル領域32N(図6では図示省略している。)が設けられる。したがって、ボトムNウェル領域31、Nウェル領域32N及びPウェル領域32Pによるトリプルウェル構造を呈している。

## 【0057】

Pウェル領域32Pの表面内には、P<sup>+</sup>拡散領域34及びN<sup>+</sup>拡散領域35、36が選択的に形成され、ボトムNウェル領域31の表面内にN<sup>+</sup>拡散領域33が形成される。N<sup>+</sup>拡散領域35、35間のPウェル領域32Pの上方にはゲート電極37が設けられることによりNMOSトランジスタMN3を構成し、N<sup>+</sup>拡散領域36、36間のPウェル領域32Pの上方にはゲート電極38が設けられることによりNMOSトランジスタMN4を構成する。

## 【0058】

P<sup>+</sup>拡散領域34上にはコンタクトホール66を介してパッド59が電氣的に接続され、N<sup>+</sup>拡散領域35（ソース側）上にはコンタクトホール66を介してパッド55が電氣的に接続され、ゲート電極37上にはコンタクトホール66を介してパッド56が電氣的に接続され、N<sup>+</sup>拡散領域35（ドレイン側）上にはコンタクトホール66を介して配線層として機能するノードN2が電氣的に接続され、N<sup>+</sup>拡散領域36（ドレイン側）上にコンタクトホール66を介してノードN2が電氣的に接続され、ゲート電極38上にはコンタクトホール66を介してパッド57が接続され、N<sup>+</sup>拡散領域36（ソース側）上にはコンタクトホール66を介してパッド58が電氣的に接続される。また、N<sup>+</sup>拡散領域33はコンタクトホール66を介してパッド51に電氣的に接続される。なお、当然のことながら、ゲート電極37、38とPウェル領域32Pとの間、コンタクトホール66、66間、パッド間等は、絶縁層67により絶縁分離されている。なお、以降に示す図では、絶縁層67に相当する層の図示を省略している。

## 【0059】

このように、トリプルウェル構造のPウェル領域32P内にNMOSトランジスタMN3及びMN4を形成することにより、NMOSトランジスタMN3及びMN4に発生する接合リーク電流を効果的に抑制することができる。

## 【0060】

さらに、パッド59に電流計を接続し、接合リーク電流をモニタし、電流Imを補正することにより、さらに高精度な容量値の測定を可能にすることができる。

## 【0061】

なお、図5及び図6の例では、P型基板30を示したが、N型基板でも同様の効果を奏する。

## 【0062】

## ＜実施の形態3＞

図8はこの発明の実施の形態3であるCBCM用回路で用いられるトランジスタ構造を示す断面図である。同図に示すように、NMOSトランジスタMN3及びMN4がP型基板41、埋込酸化膜42及びSOI（Silicon-On-Insulator）層43よりなるSOI基板のSOI層43内に形成されている。

## 【0063】

SOI層43にN<sup>+</sup>拡散領域44及びN<sup>+</sup>拡散領域45が選択的に形成され、N<sup>+</sup>拡散領域44、44間のSOI層43の上方にゲート電極37が形成され、N<sup>+</sup>拡散領域45、45間のSOI層43の上方にゲート電極38が形成される。N<sup>+</sup>拡散領域44、44及びゲート電極37によってNMOSトランジスタMN4が構成され、N<sup>+</sup>拡散領域45、45及びゲート電極38によってNMOSトランジスタMN3が構成される。

## 【0064】

N<sup>+</sup>拡散領域44（ソース側）上にはコンタクトホール66を介してパッド55が電氣的に接続され、ゲート電極37上にはコンタクトホール66を介してパッド56が電氣的に接続され、N<sup>+</sup>拡散領域44（ドレイン側）上にはコンタクトホール66を介してノードN2が電氣的に接続され、N<sup>+</sup>拡散領域45（ドレイン側）上にコンタクトホール66を介してノードN2が電氣的に接続され、ゲート電極38上にはコンタクトホール66を介してパッド57が電氣的に接続され、N<sup>+</sup>拡散領域45（ソース側）上にはコンタクトホール66を介してパッド58が電氣的に接続される。

## 【0065】

なお、図8では図示しないが、NMOSトランジスタMN3、MN4と他のトランジスタとを完全分離すべく、NMOSトランジスタMN3及びMN4の周辺にはSOI層43の表面から埋込酸化膜42に到達するSTI (Shallow Trench Isolation) 領域49が形成される。

## 【0066】

このように、NMOSトランジスタMN3及びMN4をSOI基板上に他の素子から完全分離して形成することにより、埋込酸化膜42の存在によって、NMOSトランジスタMN3及びMN4により発生する接合リークは無くなるため、高精度な容量値測定が実現できる効果を奏する。

## 【0067】

同様に、PMOSトランジスタMP1、MP2及びNMOSトランジスタMN1、MN2をSOI基板のSOI層に形成されたSTI領域によって他の素子と完全分離すれば、これらのMOSトランジスタより発生する接合リークは無くなるため、高精度な容量値測定が実現できる効果を奏する。

## 【0068】

特に、互いに導電型式が異なるPMOSトランジスタとNMOSトランジスタとをSOI層に形成されたSTI領域によって完全分離することにより、接合リーク抑制効果は大きい。

## 【0069】

## &lt;実施の形態4&gt;

図9は実施の形態4のCBCM用回路の第1の回路の構成を示す回路図である。同図に示すように、ノードN1、N2間にコンタクトゲート間容量測定用の測定容量形成部91Aが形成される。他の構成は図1で示した実施の形態1の構成と同様であるため説明は省略する。

## 【0070】

図10は実施の形態4の測定容量形成部91Aの内部構成を示す平面図である。図11は図10のX1-X1'断面構造を示す断面図である。

## 【0071】

これらの図に示すように、測定容量形成部91Aにおいて、Pウェル領域21の表面内に選択的にN<sup>+</sup>拡散領域22、23及びP<sup>+</sup>拡散領域24を形成し、N<sup>+</sup>拡散領域22、23間のPウェル領域21の上方にゲート電極として機能するノードN2が設けられる。これらN<sup>+</sup>拡散領域22、23及びノードN2により測定用NMOSトランジスタQ1が形成される。また、配線として機能するノードN1はノードN2より高い位置に形成される配線層として設けられる。

## 【0072】

ノードN1はコンタクトホール66を介してN<sup>+</sup>拡散領域22に電氣的に接続され、実際のMOSトランジスタはコンタクトホール66がゲート電極に可能な限り隣接して形成されるため、ノードN2、コンタクトホール66間距離は最小寸法である距離d1に設定される。

## 【0073】

ここで、実際に測定したいのは、ノードN1用のコンタクトホール66とノードN2との間に形成されるカップリング容量Ccである。しかしながら、ノードN1はゲート電極であるノードN2に近接して形成されるため、ノードN1とノードN2との間にもカップリング容量Cxが形成されてしまう。なお、ノードN1とPウェル領域21との間には配線容量Cvも形成される。

## 【0074】

図12は実施の形態4のCBCM用回路の第2の回路における測定容量形成部91Bの構造を示す平面図である。図13は図12のX2-X2'断面構造を示す断面図である。なお、回路構成自体は、測定容量形成部91Aが測定容量形成部91Bに置き換わった点



を除き、第1の回路と同様である。

【0075】

測定容量形成部91Bにおいて、N<sup>+</sup>拡散領域22、23及びノードN2によって規定される測定用NMOSトランジスタQ2は、通常のMOSトランジスタと異なり、ノードN2、コンタクトホール66間距離が、ノードN1のコンタクトホール66とノードN2との間のカップリング容量C<sub>cy</sub>が無視できる程度の長い距離d2（距離d1の10倍程度）に設定される。なお、他の構成は図10及び図11で示した構造と同様である。

【0076】

以下、実施の形態4のCBCM用回路における第1及び第2の回路を用いたカップリング容量C<sub>c</sub>、配線容量C<sub>v</sub>の測定方法を説明する。

【0077】

第1及び第2の回路でそれぞれ電流I<sub>m</sub>[A]及び電流I<sub>m</sub>[B]を測定し、以下の(8)式及び(9)式を導出する。なお、(9)式において、カップリング容量C<sub>cy</sub>は無視できる値とする。

【0078】

【数8】

$$I_m[A] = (C_{cx} + C_c) \times V_{dd} \times f \quad \dots(8)$$

【0079】

【数9】

$$\begin{aligned} I_m[B] &= (C_{cx} + C_{cy}) \times V_{dd} \times f \\ &= C_{cx} \times V_{dd} \times f \quad \dots(9) \end{aligned}$$

【0080】

その結果、カップリング容量C<sub>cx</sub>及びカップリング容量C<sub>c</sub>が以下の(10)式及び(11)式によって導かれる。

【0081】

【数10】

$$C_{cx} = I_m[B] / (V_{dd} \times f) \quad \dots(10)$$

【0082】

【数11】

$$C_c = (I_m[A] - I_m[B]) / (V_{dd} \times f) \quad \dots(11)$$

【0083】

そして、第1及び第2の回路でそれぞれ電流I<sub>t</sub>[A]及び電流I<sub>t</sub>[B]を測定し、以下の(12)式及び(13)式を導出する。なお、(13)式において、カップリング容量C<sub>cy</sub>は無視できる値とする。その結果、(10)式～(13)式によって配線容量C<sub>v</sub>を導出することができる。

【0084】

【数12】

$$\begin{aligned} I_t[A] &= C_{tst}[A] \times V_{dd} \times f \\ &= (C_v + C_c + C_{cx}) \times V_{dd} \times f \quad \dots(12) \end{aligned}$$

【0085】

【数13】

$$\begin{aligned} I_m[B] &= C_{tst}[A] \times V_{dd} \times f \\ &= (C_v + C_c + C_{cx}) \times V_{dd} \times f \\ &= (C_v + C_{cx}) \times V_{dd} \times f \quad \dots(13) \end{aligned}$$

## 【0086】

このように、実施の形態4は、測定容量形成部91A及び91Bで異なるレイアウト構造を有する第1及び第2の回路をCBCM用回路として採用することにより、成分分離したコンタクトーゲート間容量の測定が可能となる。

## 【0087】

<実施の形態5>

図14は実施の形態5のCBCM用回路の第1の回路の回路構成を示す回路図である。同図に示すように、ノードN1、N2間にコンタクトーコンタクト間容量測定用の測定容量形成部92Aが形成される。また、NMOSトランジスタMN4は測定容量形成部92A内に形成されるため、図示していない。他の構成は図1で示した実施の形態1の回路構成と同様である。

## 【0088】

図15は実施の形態5の測定容量形成部92Aの構造を示す平面図である。図16は図15のY1-Y1'断面構造を示す断面図である。

## 【0089】

これらの図に示すように、Pウェル領域21の表面内に選択的にN<sup>+</sup>拡散領域25、26及び27を形成し、N<sup>+</sup>拡散領域25、26間のPウェル領域21の上方にゲート電極39を設ける。したがって、N<sup>+</sup>拡散領域25、26及びゲート電極39によって測定用NMOSトランジスタQ3が形成される。

## 【0090】

配線層として機能するノードN1及びN2はゲート電極39より高く、互いに同程度の高さに形成され、コンタクトホール66a及び66b（第1及び第2のコンタクトホール）を介してそれぞれN<sup>+</sup>拡散領域25及び26に電氣的に接続される。

## 【0091】

また、N<sup>+</sup>拡散領域26、27間のPウェル領域21の上方にはゲート電極38が形成され、N<sup>+</sup>拡散領域26、27及びゲート電極38によってNMOSトランジスタMN4が構成される。ゲート電極38にはNMOSゲート電位G<sub>N</sub>が印加され、N<sup>+</sup>拡散領域27及びゲート電極39に電位G<sub>ND</sub>が与えられる。

## 【0092】

ここで、実際に測定したいのは、ノードN1及びN2それぞれのコンタクトホール66a、66b間に形成されるカップリング容量C<sub>cc</sub>である。この際、N<sup>+</sup>拡散領域25、26間のPウェル領域21には接合容量C<sub>dd</sub>が形成される。

## 【0093】

図17は実施の形態5のCBCM用回路の第2の回路における測定容量形成部92の構造を示す平面図である。図18は図17のY2-Y2'断面構造を示す断面図である。なお、回路構成自体は、測定容量形成部92Aが測定容量形成部92Bに置き換わった点を除き、第1の回路と同様である。

## 【0094】

図17に示すように、測定用NMOSトランジスタQ3と等価な測定用NMOSトランジスタQ4において、ノードN1側のコンタクトホール66aの形成位置と、ノードN2側のコンタクトホール66bの形成位置とを、互いに1本のコンタクトホール66a、66bも対向しないように配置することにより、コンタクトーコンタクト間容量がゼロになっている。なお、他の構成は測定容量形成部92Aと同様であるため、説明を省略する。

## 【0095】

以下、実施の形態5のCBCM用回路における第1及び第2の回路を用いたカップリング容量C<sub>cc</sub>の測定方法を説明する。

## 【0096】

第1及び第2の回路でそれぞれ電流I<sub>m</sub>[A]及び電流I<sub>m</sub>[B]を測定し、以下の(14)式及び(15)式を導出する。なお、容量C<sub>xx</sub>はノードN2に付随するその他の容量（図15～図17では図示せず）を示している。

【0097】

【数14】

$$I_m[A] = (C_{cc} + C_{dd} + C_{xx}) \times V_{dd} \times f \quad \dots(14)$$

【0098】

【数15】

$$I_m[B] = (C_{dd} + C_{xx}) \times V_{dd} \times f \quad \dots(15)$$

【0099】

その結果、カップリング容量  $C_{cc}$  が以下の(16)式によって導かれる。

【0100】

【数16】

$$C_{cc} = (I_m[A] - I_m[B]) / (V_{dd} \times f) \quad \dots(16)$$

【0101】

そして、第1及び第2の回路でそれぞれ電流  $I_t[A]$  及び電流  $I_t[B]$  を測定し、以下の(17)式及び(18)式を導出する。容量  $C_{yy}$  はノード  $N_2$  に付随するその他の容量 (図15～図17では図示せず) を示している。

【0102】

【数17】

$$\begin{aligned} I_t[A] &= C_{tst}[A] \times V_{dd} \times f \\ &= (C_{yy} + C_{cc} + C_{dd}) \times V_{dd} \times f \quad \dots(17) \end{aligned}$$

【0103】

【数18】

$$\begin{aligned} I_m[B] &= C_{tst}[B] \times V_{dd} \times f \\ &= (C_{yy} + C_{dd}) \times V_{dd} \times f \quad \dots(18) \end{aligned}$$

【0104】

その結果、(16)式～(18)式によってカップリング容量  $C_{cc}$  を以下の(19)式のように導出することができる。

【0105】

【数19】

$$C_{cc} = (I_t[A] - I_t[B]) / (V_{dd} \times f) \quad \dots(19)$$

【0106】

このように、実施の形態5は、測定容量形成部92A及び92Bで異なるレイアウト構造を有する第1及び第2の回路をCBCM用回路として採用することにより、成分分離したコンタクトーコンタクト間容量の測定が可能となる。

【0107】

(他の態様)

図19は実施の形態5の測定容量形成部92Bの他の態様を示す平面図である。図18は図19のY3-Y3'断面構造に相当する。

【0108】

図19に示すように、ノード  $N_1$  側にのみコンタクトホール66aを形成し、ノード  $N_2$  側にはコンタクトホール66bを全く形成しないことにより、コンタクトーコンタクト間容量がゼロとなる。なお、他の構成は、図18、図17で示した構造と同様であるため、説明を省略する。

【0109】

図19で示した構造を第2の回路の構造として、上述した(14)式～(19)式を適用したカ

ップリング容量  $C_{cc}$  の測定方法を適用して同様な効果を得ることができる。

【0110】

＜実施の形態6＞

図20はこの発明の実施の形態6であるCBCM用回路の構成を示す回路図である。PMOSトランジスタMP2及びNMOSトランジスタMN2が直列に接続される。そして、PMOSトランジスタMP2のソースに電源電圧  $V_{dd}$  が付与され、NMOSトランジスタMN2のソースが接地される。また、PMOSトランジスタMP2のゲートにはパッド53が、NMOSトランジスタMN2のゲートにはパッド56が接続される。

【0111】

さらに、PMOSトランジスタMP2、NMOSトランジスタMN2のドレイン間の端子P1はノードN1（配線層として機能）に接続される。ノードN1及びノードN21～N25（配線層として機能）は測定容量形成部2内に予め設定された配置でそれぞれ設けられる。そして、ノードN1とノードN21～N25それぞれとの間にカップリング容量  $C_{c1} \sim C_{c5}$  が形成される。ノードN21～N25は端子P21～P25に接続される。したがって、端子P1～端子P21～P25間に測定容量形成部2が形成されることになる。

【0112】

端子P21～P25はそれぞれNMOSトランジスタMN31～MN35を介して端子P31～P35に接続される共に、NMOSトランジスタMN41～MN45を介して端子P41～45に接続される。

【0113】

NMOSトランジスタMN31～MN35のゲートにはイネーブル電圧  $E_{N1} \sim E_{N5}$  が付与され、NMOSトランジスタMN41～MN45のゲートにはパッド56が接続される。

【0114】

端子P31～P35は共通の出力線OL1に接続され、出力線OL1はパッド70に接続される。パッド70～接地レベル間に電流計71が介挿され、パッド70から接地レベルにかけて流れる電流  $I_m$  を測定することができる。端子P41～45は共通に出力線OL2に接続され、出力線OL2は接地される。

【0115】

また、デコーダ1は3ビットの選択信号ST及び1ビットのイネーブル電圧ENを受け、イネーブル電圧ENを選択信号STに基づき選択されたイネーブル電圧  $E_{N1} \sim E_{N5}$  のうちのいずれかとして出力する。すなわち、デコーダ1は、選択信号STに基づき、入力されるイネーブル電圧ENをイネーブル電圧  $E_{N1} \sim E_{N5}$  のいずれかとして出力することにより端子P21～P25のいずれかを選択し、選択した端子より誘起される電流を出力線OL1に伝達する選択部として機能する。

【0116】

図21は測定容量形成部2の一例を示す断面図である。同図に示すように、上部配線層としてノードN21及びノードN22を形成し、中間配線層としてノードN1及びノードN23を形成し、下部配線層としてノードN25及びノードN24を形成している。なお、これらのノードN1、ノードN21～N25は互いに絶縁層67によって絶縁分離されている。

【0117】

したがって、ノードN1の真上にノードN21、真下にノードN25、横方向にノードN23、斜め上方向にノードN22、斜め下方向にノードN24が配置されることになる。

【0118】

図22は実施の形態6のCBCM用回路の動作を示すタイミング図である。同図に示すように、PMOSゲート電位GP及びNMOSゲート電位GNがPMOSトランジスタMP2及びNMOSトランジスタMN2のオン期間が重複することなく交互にオンするよう

に与えられ、PMOSトランジスタMP2がオン状態になる（PMOSゲート電位GPが“L”に立ち下がる）前に、イネーブル電圧EN1～EN5のうちの選択イネーブル電圧ENi（i=1～5のいずれか）が“H”に立ち上げられる。

【0119】

したがって、PMOSゲート電位GPが“L”の期間に、電流計62によって電流Itが検出され、電流計71によってNMOSトランジスタMN3i及びパッド70を介して得られる電流Imを検出することができる。

【0120】

なお、非選択のイネーブル電圧ENj（j=1～5（iを除く））は“L”に固定されており、NMOSトランジスタMN4jは常時オフ状態となる。

【0121】

その結果、実施の形態6のCBCM用回路を用いて得られる電流Im及び電流Itに基づき、ノードN1とノードN2iとの間のカップリング容量Cci等を算出することができる。

【0122】

図23は実施の形態6のCBCM用回路を用いた配線特性の解析方法を示すフローチャートである。

【0123】

同図を参照して、ステップS1でノードN1，ノードN21～N25の配線形状（異なる配線間における配線間距離を含む）、ノードN1，ノードN21間等の上下の配線層間の絶縁層67の膜厚及び絶縁層67の（比）誘電率を含む配線特性を設定する。なお、図21では、絶縁層67を一括りにして示しているが、通常は配線層間で異なる絶縁層が設けられる多層構造となっており、絶縁層67の形成高さによって誘電率も異なる。

【0124】

ステップS2で、ステップS1で設定した配線特性の内容で所定のシミュレーションを実行することにより、ノードN1とノードN21～N25との間のカップリング容量Cc1～Cc5を非実測で求める。

【0125】

一方、ステップS3では、図21で示した多層配線構造を測定容量形成部2とした実施の形態6のCBCM用回路を用いて、前述したようにカップリング容量Cc1～Cc5を実測で求める。

【0126】

そして、ステップS4において、ステップS2で得たカップリング容量Cc1～Cc5のシミュレーション値と、ステップS3で得たカップリング容量Cc1～Cc5の実測値とを比較する。

【0127】

ステップS4の比較結果が、一致していれば、ステップS1の設定値が正しいと判断し処理を終了し、不一致であればステップS5に移行する。

【0128】

ステップS5において、上下の配線層間の絶縁層67の膜厚及び誘電率等の配線特性を変更し、ステップS1で再設定する。

【0129】

以降、ステップS4で一致が検出されるまで、ステップS1，S2，S4，S5を繰り返す。なお、ステップS3は一回の実測で良い。

【0130】

したがって、ステップS4で一致が検出されると、絶縁層67の膜厚及び誘電率の推定値を正確に得ることができる。その結果、精度の高い配線特性の解析を行うことができる。

【0131】

このように、実施の形態6のCBCM用回路では、出力線OL1によりNMOSトラン

ジスタMN31～MN35のソースを共通に接続することにより、NMOSトランジスタMN31～MN35を介して流れる電流 $I_m$ の測定用のパッドはパッド70一つで済ますことができたため、パッド数を削減することができる。

【0132】

また、デコーダ1は、3ビット選択信号ST及び1ビットのイネーブル電圧ENに基づき、5ビットのイネーブル電圧EN1～EN5を出力するため、5ビットのイネーブル電圧EN1～EN5を直接入力する場合に比べて、1ビット分入力分を削減することができる。

【0133】

また、実際に入力するイネーブル電圧ENは1種類で済ますことができるため、イネーブル電圧EN1～EN5を直接入力する場合に比べて、イネーブル電圧用の信号数を4つ削減することができる。

【0134】

なお、ステップS2で、シミュレーションを実行する代わりに応答曲面関数(“Response Surface Function”)を用いても良い。応答曲面関数とは、絶縁膜の膜厚、誘電率、配線間の距離等の配線特性を実験計画表にしたがって変化させたときの配線容量値を専用のシミュレーションで予め計算しておき、上記配線特性を引数としてシミュレーション結果を出力する関数を意味する。

【0135】

＜実施の形態7＞

図24はこの発明の実施の形態7であるデコーダの他の構成を示す回路図である。同図に示すように、デコーダ5は、4列直列に接続されたD-FF(D型フリップフロップ)72～75及びANDゲート81～85から構成される。

【0136】

D-FF72～75はクロック入力部CLKに共通にクロック信号Ckを受け、D-FF72は1ビットの選択信号Selを入力部Dに受ける。選択信号SelはANDゲート81の一方入力となり、D-FF72～75の出力部Oより得られる信号がANDゲート82～85の一方入力となる。そして、ANDゲート81～85の共通の他方入力としてイネーブル電圧ENが与えられる。

【0137】

これらANDゲート81～85の出力信号がイネーブル電圧EN1～EN5となる。

【0138】

このような構成において、選択信号Sel及びクロック信号Ckによって、D-FF72～75のいずれかに“H”をラッチさせた後に選択信号Selを“L”にするか、D-FF72～75に全て“L”をラッチさせた後に選択信号Selを“H”にするかの信号処理を行う。

【0139】

すると、イネーブル電圧ENが、イネーブル電圧EN1～EN5のいずれかとして出力されることにより、図20で示したデコーダ1と等価な機能を発揮することができる。

【0140】

実施の形態7のデコーダ5は、入力信号のビット数が3ビットで済ますことができるため、実施の形態6のデコーダ1よりも入力用パッド数を1つ削減することができる。

【0141】

＜実施の形態8＞

図25はこの発明の実施の形態8の回路構成を模式的に示す説明図である。同図に示すように、PMOSトランジスタMP2及びNMOSトランジスタMN2が直列に接続される。そして、PMOSトランジスタMP2のソースに電源電圧Vddが付与され、NMOSトランジスタMN2のソースが接地される。また、PMOSトランジスタMP2のゲートにはPMOSゲート電位GP、NMOSトランジスタMN2のゲートにはNMOSゲート電位GNが与えられる。

## 【0142】

PMOSトランジスタMP2, NMOSトランジスタMN2間の端子P1は測定容量形成部3の測定対象ノードNA(容量の一方電極として機能)に接続される。測定容量形成部3の測定対象ノードNB(容量の他方電極として機能)は端子P2及びトランスファゲート46を介して測定対象ノードNAに接続されるとともに、端子P2及びトランスファゲート47を介して接地レベルに接続される。このように、端子P1, P2間に測定容量形成部3が設けられる。

## 【0143】

また、端子P1への供給電流を測定すべくPMOSトランジスタMP2と電源Vddとの間に電流計62を設けている。

## 【0144】

トランスファゲート46のNMOSゲート及びトランスファゲート47のPMOSゲートには選択信号SELが付与され、トランスファゲート46のPMOSゲート及びトランスファゲート47のNMOSゲートには選択信号SELがインバータ48を介して送ることにより得られる信号が付与される。これらトランスファゲート46, 47及びインバータ48は、選択信号SEL信号に基づき端子P2(ノードN2)の状態を切り換える端子状態切り換え部として機能する。

## 【0145】

測定容量形成部3は測定対象ノードNA, NBに加え、ダミーノードDL及びダミーノードDR(ダミーの電極として機能)をさらに有し、ダミーノードDL及びDRはそれぞれ接地される。

## 【0146】

測定容量形成部3(図25では平面構造を示している。)内の測定対象ノードNA, 測定対象ノードNBは共に櫛形構造を呈しており、双方のn本の櫛の歯部分が交互に所定間隔を隔てて対向するように配置される。そして、測定対象ノードNA, NBの櫛の柄の部分に測定対象ノードNA及びNBと同様な櫛形構造のダミーノードDL, DRが設けられ、ダミーノードDLは右端の櫛の歯は、測定対象ノードNAの左端の櫛の歯から上記所定間隔隔てて配置され、ダミーノードDRの左端の櫛の歯は測定対象ノードNBの右端の櫛の歯から上記所定間隔隔てて配置される。

## 【0147】

図26及び図27はそれぞれ図25のB1-B1'断面の断面構造を示す断面図である。図26は選択信号SELが“0”(“L”)で測定対象ノードNBがオン状態のトランスファゲート47を介して接地される場合を示しており、図27は選択信号SELが“1”(“H”)で測定対象ノードNA, NB間が短絡される場合を示している。

## 【0148】

図26に示すように、選択信号SEL=“0”の場合(第1の状態)、測定対象ノードNA及びNBそれぞれ櫛の歯間に(2n-1)個(図26の例ではn=5)のカップリング容量Ccが形成され、ダミーノードDLの右端の櫛の歯と測定対象ノードNAの左端の櫛の歯と間に1個のカップリング容量Ccが形成されることにより、総計、2n個のカップリング容量Ccが形成される。

## 【0149】

そして、測定対象ノードNAと下層の下層配線層16との間にn個の配線容量Cvが形成される。また、後述する微小容量 $\alpha$ も形成される。したがって、総容量Ctotalとして次の(20)式を得ることができる。

## 【0150】

## 【数20】

$$C_{total} = 2n \times C_c + n \times C_v + \alpha \quad \dots(20)$$

## 【0151】

図27に示すように、選択信号SEL=“1”の場合(第2の状態)、測定対象ノード

NA, 測定対象ノードNBが短絡されるため、ダミーノードDLの右端の櫛の歯と測定対象ノードNAの左端の櫛の歯間に1個のカップリング容量Ccが形成され、ダミーノードDRの左端の櫛の歯と測定対象ノードNBの右端の櫛の歯間に1個のカップリング容量Ccが形成されるだけであり、総計2個のカップリング容量Ccが形成される。

【0152】

そして、測定対象ノードNA及びNBと下層の下層配線層16との間に2n個の配線容量Cvが形成される。また、微小容量 $\beta$ も形成される。したがって、総容量Ctotalとして次の(21)式を得ることができる。なお、微小容量 $\alpha$ ,  $\beta$ はトランスファゲート46, 47及びインバータ48を構成する各トランジスタのゲート、ゲート間の結線、及び櫛の歯以外の部分に寄生する容量等を意味する。

【0153】

【数21】

$$C_{total} = 2 \times C_c + 2n \times C_v + \beta \quad \cdots (21)$$

【0154】

その結果、電流計62によってPMOSトランジスタMP2のドレインから供給される端子P1への供給電流を測定し、上述した(20), (21)式を解法することにより、カップリング容量Cc及び配線容量Cvを個別に求めることができる。

【0155】

この際、ダミーノードDL, ダミーノードDRを設けることにより、選択信号SEL="1"の場合でも、カップリング容量Ccが形成されるようにすることにより、カップリング容量Ccと配線容量Cvとの分離精度の向上を図ることができる。さらに、ダミーノードDL, DRの形成によって、測定対象ノードNA, NBの歯の部分と他の部分とのパターン密度差がなくなるため、測定対象ノードNA及びNBの櫛の歯部分を精度良く形成することができる。

【0156】

図28は実施の形態8のCBCM用回路を用いた配線特性の解析方法を示すフローチャートである。

【0157】

同図を参照して、ステップS11で測定対象ノードNA, NBの配線形状(NA, NB間で隣接する櫛の歯部の間の距離を含む)、測定対象ノードNA(NB)、下層配線層16との間の絶縁層の膜厚及び絶縁層の誘電率を含む配線特性を設定する。

【0158】

ステップS12において、ステップS11で設定した配線特性の内容で所定のシミュレーションを実行してカップリング容量Cc及び配線容量Cvを非実測で求める。

【0159】

一方、ステップS13では、測定容量形成部3を有する実施の形態8のCBCM用回路を用いて、前述したようにカップリング容量Cc及び配線容量Cvを実測で求める。

【0160】

そして、ステップS14において、ステップS12で得たカップリング容量Cc及び配線容量Cvのシミュレーション値と、ステップS13で得たカップリング容量Cc及び配線容量Cvの実測値とを比較する。

【0161】

ステップS14の比較結果が、一致していれば、ステップS11の設定値が正しいと判断し処理を終了し、不一致であればステップS15に移行する。

【0162】

ステップS15において、上述した絶縁層の膜厚及び誘電率を含む配線特性を変更し、ステップS11で再設定する。

【0163】

以降、ステップS14で一致が検出されるまで、ステップS11, S12, S14, S



15を繰り返す。なお、ステップS13は一回の実測で良い。

【0164】

したがって、ステップS14で一致が検出されると、絶縁層の膜厚及び誘電率を含む配線特性の推定値を正確に得ることができる。その結果、精度の良い配線特性の解析が行える。

【0165】

なお、実施の形態6と同様、ステップS12で、シミュレーションを実行する代わりに応答曲面関数を用いても良い。

【0166】

＜実施の形態9＞

図29はこの発明の実施の形態9のCBCM用回路におけるCBCM用補助回路の回路構成を模式的に示す説明図である。実施の形態9のCBCM用回路は図29で示すCBCM用補助回路と図25～図27で示した実施の形態8のCBCM用回路とから構成される。

【0167】

同図に示すように、実施の形態9のCBCM用補助回路は、実施の形態8のCBCM用回路と比べた場合、測定容量形成部3が補助測定容量形成部4に置き換わった点異なる。

【0168】

補助測定容量形成部4（図29では平面構造を示している。）内の容量の一方電極、他方電極として機能する測定対象ノードNA、測定対象ノードNBは共に櫛形構造を呈しており、双方のn本の櫛の歯部分が交互に所定間隔を隔てて対向するように配置される。ただし、補助測定容量形成部4の測定対象ノードNA、NBの櫛の歯の長さ（カップリング容量に関与しないフリンジ部50（櫛の歯の付け根近傍領域）を除く）は、実施の形態8の測定容量形成部3の櫛の歯の長さLのm倍の（ $m \times L$ ）に設定されている。他の構成は、図25で示した実施の形態8と同様である。

【0169】

図30及び図31はそれぞれ図29のB2-B2断面の断面構造を示す断面図である。図30は選択信号SELが“0”の場合、図31は選択信号SELが“1”の場合を示している。

【0170】

図30に示すように、選択信号SEL＝“0”の場合、実施の形態8と同様、総計、2n（図30では $n=5$ ）個のカップリング容量 $C_{cm}$ が形成される。ただし、カップリング容量 $C_{cm}=m \times C_c$ となる。

【0171】

そして、測定対象ノードNAと下層の下層配線層16との間にn個の配線容量 $C_{vm}$ が形成される。ただし、配線容量 $C_{vm}=m \times C_v$ となる。また、微小容量 $\alpha$ も形成される。したがって、参照容量 $C_{ref}$ として次の(22)式を得ることができる。

【0172】

【数22】

$$C_{ref}=m \times (2n \times C_c + n \times C_v) + \alpha \quad \cdots (22)$$

【0173】

図31に示すように、選択信号SEL＝“1”の場合、実施の形態8と同様にして、総計2個のカップリング容量 $C_{cm}$ が形成される。

【0174】

そして、測定対象ノードNA及びNBと下層の下層配線層16との間に、実施の形態8と同様にして2n個の配線容量 $C_{vm}$ が形成される。また、微小容量 $\beta$ も形成される。したがって、参照容量 $C_{ref}$ として次の(23)式を得ることができる。

【0175】

【数 23】

$$C_{ref} = m \times (2C_c + 2n \times C_v) + \beta \cdots (23)$$

【0176】

したがって、実施の形態 8 の C B C M 用回路及び実施の形態 9 の補助 C B C M 用回路それぞれの選択信号 S E L = “0”, “1” の総計 4 つのケースにおいて、P M O S トランジスタ M P 2 のドレインから供給電流の電流値を電流計 6 2 で測定し、上述した (20) ~ (23) 式を解法することにより、微小容量  $\alpha$ ,  $\beta$  を除去した、実施の形態 8 より正確なカップリング容量  $C_c$  及び配線容量  $C_v$  を個別に求めることができる。

【0177】

< 実施の形態 10 >

図 3 2 はこの発明の実施の形態 10 の C B C M 用回路の T E S T 回路（第 1 の回路）の回路構成を模式的に示す説明図である。

【0178】

同図に示すように、実施の形態 10 の T E S T 回路は、実施の形態 8 の C B C M 用回路と比べた場合、測定容量形成部 3 が測定容量形成部 6 に置き換わった点異なる。

【0179】

測定容量形成部 6（図 3 2 では平面構造を示している。）内において、容量の一方電極、他方電極として機能する測定対象ノード N A, 測定対象ノード N B は共に櫛形構造を呈している。そして、双方の 5 本の櫛の歯部分が交互に所定間隔を隔てて対向するように配置される。また、測定対象ノード N A 及び N B それぞれの櫛の柄の部分に測定対象ノード N A 及び N B と同様な櫛形構造のダミーノード D L 及び D R（ダミー電極として機能）が設けられ、ダミーノード D L は右端の櫛の歯は、測定対象ノード N A の左端の櫛の歯から上記所定間隔隔てて配置され、ダミーノード D R の左端の櫛の歯は測定対象ノード N B の右端の櫛の歯から上記所定間隔隔てて配置される。なお、他の構成は図 2 5 で示した実施の形態 8 の測定容量形成部 3 と同様である。

【0180】

図 3 3 及び図 3 4 はそれぞれ図 3 2 の C - C 断面の断面構造を示す断面図である。図 3 3 は選択信号 S E L が “0” の場合（第 1 の状態）、図 3 4 は選択信号 S E L が “1” の場合（第 2 の状態）を示している。

【0181】

これらの図に示すように、測定対象ノード N A 及び N B の下層配線層としてシリコン基板 1 0 が設けられ、測定対象ノード N A 及び N B の下方に位置するシリコン基板 1 0 の表面内に活性領域として拡散領域 1 3 を形成し、それ以外のシリコン基板 1 0 の表面内には S T I 領域 1 2 が形成され、拡散領域 1 3, 1 3 間が S T I 領域 1 2 によって絶縁分離される。なお、各拡散領域 1 3 の形成幅、拡散領域 1 3, 1 3 間の S T I 領域 1 2 の距離は同一に設定される。さらに、各拡散領域 1 3 の形成面積と周囲長は同一に設定される。また、拡散領域 1 3 としては例えば、n 型の拡散領域等が考えられる。

【0182】

また、測定対象ノード N A 及び N B の櫛の歯部分とその直下にある拡散領域 1 3 間にコンタクトホール（コンタクトプラグ）6 6 が形成され、ダミーノード D L 及び D R とその直下にある S T I 領域 1 2 間にコンタクトホール 6 6 が形成される。なお、図 3 2 に示すように、コンタクトホール 6 6 は、測定対象ノード N A, N B 及びダミーノード D L, D R の各櫛の歯部分にそれぞれ 2 本ずつ形成される。

【0183】

また、ダミーノード D L, D R も測定対象ノード N A, N B と同様な櫛形構造にすることにより、測定対象ノード N A, N B の歯の部分と他の部分とのパターン密度差をなくし、測定対象ノード N A 及び N B の櫛の歯部分を精度良く形成することができるため、加工精度の向上を図ることができる。

【0184】

図35はこの発明の実施の形態10のREF回路(第2の回路)の回路構成を模式的に示す説明図である。このREF回路は図32~図34で示したTEST回路に追加される形で設けられる。すなわち、実施の形態10のCBCM用回路はTEST回路及びREF回路から構成される。

#### 【0185】

同図に示すように、このREF回路は、図32~図34で示したTEST回路と比べた場合、測定容量形成部6が測定容量形成部7に置き換わった点異なる。

#### 【0186】

図36及び図37はそれぞれ図35のD-D断面の断面構造を示す断面図である。図36は選択信号SELが“0”の場合、図37は選択信号SELが“1”の場合を示している。

#### 【0187】

これらの図に示すように、測定対象ノードNA及びNBの下層配線層としてシリコン基板10が設けられ、シリコン基板10の表面内は拡散領域13が形成されることなく全表面内にSTI領域14が形成される。測定容量形成部7の他の構造は測定容量形成部6と同様である。

#### 【0188】

以下、実施の形態10のCBCM用回路(TEST回路及びREF回路)を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。

#### 【0189】

図33に示すように、選択信号SEL=“0”の場合、測定対象ノードNA及びNBにおける隣接する櫛の歯間及びこれらコンタクトホール66, 66間に9個のカップリング容量Ccが形成され、ダミーノードDLの右端の櫛の歯と測定対象ノードNAの左端の櫛の歯と間及びこれらコンタクトホール66, 66間に1個のカップリング容量Ccが形成されることにより、総計、10個のカップリング容量Ccが形成される。

#### 【0190】

そして、測定対象ノードNAの下方の拡散領域13(第1の活性領域)に5個の接合容量Cjが形成され、接合容量Cjとは拡散領域13とシリコン基板10との間に形成されるPN接合の容量を意味する。10個の拡散領域13, 13間のSTI領域12に総計、9個のカップリング容量Cstiが形成される。したがって、測定対象ノードNAから書き込まれた電荷により測定される第1テスト容量CT1は、次の(24)式で得ることができる。なお、微小容量αはトランスファゲート46, 47及びインバータ48を構成する各トランジスタのゲート、ゲート間の結線、及び測定対象ノードNAの引き回し(櫛の歯以外の部分)等により生じる寄生容量である。

#### 【0191】

#### 【数24】

$$CT1=10Cc+9Csti+5Cj+\alpha \cdots(24)$$

#### 【0192】

図34に示すように、選択信号SEL=“1”の場合、測定対象ノードNA, 測定対象ノードNBが短絡されるため、ダミーノードDLの右端の櫛の歯と測定対象ノードNAの左端の櫛の歯間及びこれらコンタクトホール66, 66間に1個のカップリング容量Ccが形成され、ダミーノードDRの左端の櫛の歯と測定対象ノードNBの右端の櫛の歯間及びこれらコンタクトホール66, 66間に1個のカップリング容量Ccが形成されるだけであり、総計2個のカップリング容量Ccが形成される。

#### 【0193】

そして、測定対象ノードNAの下方の拡散領域13(第1の活性領域)に5個、測定対象ノードNBの下方の拡散領域13(第2の活性領域)に5個の総計10個の接合容量Cjが形成される。なお、測定対象ノードNA, NB間が短絡され、全ての拡散領域13が同電位に設定されるため拡散領域13, 13間のカップリング容量Cstiは生じない。

【0194】

したがって、測定対象ノードNAから書き込まれた電荷により測定される第2テスト容量CT2は、次の(25)式で得ることができる。なお、微小容量 $\beta$ は微小容量 $\alpha$ と同様な性質の寄生容量であるが、測定対象ノードNA、NBとが短絡されるため、微小容量 $\alpha$ とは異なる値をとる。

【0195】

【数25】

$$CT2=2Cc+10Cj+\beta \cdots(25)$$

【0196】

次に、REF回路を用いた測定を行う。

【0197】

図36に示すように、選択信号SEL="0"の場合、TEST回路の場合と同様、総計、10個のカップリング容量Ccが形成される。

【0198】

しかし、REF回路には拡散領域13が形成されないため接合容量Cj及びカップリング容量Cstiは形成されない。したがって、測定対象ノードNAから書き込まれた電荷により測定される第1参照容量CR1は、次の(26)式で得ることができる。

【0199】

【数26】

$$CR1=10Cc+\alpha \cdots(26)$$

【0200】

図37に示すように、選択信号SEL="1"の場合、測定対象ノードNA、測定対象ノードNB間が短絡されるため、TEST回路の場合と同様、総計2個のカップリング容量Ccが形成される。加えて、REF回路には拡散領域13が形成されないため接合容量Cj及びカップリング容量Cstiは形成されない。

【0201】

したがって、測定対象ノードNAから書き込まれた電荷により測定される第2参照容量CR2は、次の(27)式で得ることができる。

【0202】

【数27】

$$CR2=2Cc+\beta \cdots(27)$$

【0203】

したがって、実施の形態10のCBCM用回路は、TEST回路及びREF回路それぞれにおいて、選択信号SEL="0"、"1"の状態、電流計62によって端子P1への供給電流を計4回測定することにより、上述した(21)～(27)式を得ることができる。すなわち、TEST回路及びREF回路並びに選択信号SELの状態で得られる4つの供給電流を測定することにより、上述した(21)～(27)式を得ることができる。

【0204】

そして、(21)式から(26)式を引くと、以下の(28)式を得ることができる。

【0205】

【数28】

$$CT1-CR1=9Csti+5Cj \cdots(28)$$

【0206】

また、(25)式から(27)式を引くと、以下の(29)式を得ることができる。

【0207】

【数 29】

$$CT2 - CR2 = 10C_j \dots (29)$$

【0208】

(28)式及び(29)式からカップリング容量  $C_{sti}$  を以下の(30)式で求める。

【0209】

【数 30】

$$C_{sti} = \frac{1}{9} (CT1 - CR1) - \frac{1}{18} (CT2 - CR2) \dots (30)$$

【0210】

このように、従来のCBCM用回路では測定が困難であった、拡散領域13、13間のカップリング容量  $C_{sti}$  を精度よく得ることができる。

【0211】

なお、本実施の形態では、測定対象ノードNA及びNBの櫛の歯数を5本に、櫛の歯1個当たりのコンタクトホール66の形成数を2本に、拡散領域13の数を10個にした例を示したが、これらの数は説明の便宜上、仮に設けた数であり、これらの数に特別に意味はない。

【0212】

また、上述した実施の形態10及び以降で述べる実施の形態11～実施の形態16は、いずれも2つの回路(TEST回路及びREF回路)によってCBCM用回路が構成される。また、実施の形態10及び以降で述べる実施の形態11～実施の形態14において、測定対象ノードNA、NBはカップリング容量  $C_c$  の一方電極、他方電極として機能し、ダミーノードDL、DRは当該容量の一方、他方のダミー電極として機能するものとする。

【0213】

<実施の形態11>

図38及び図39はこの発明の実施の形態11であるCBCM用回路のTEST回路の断面構造を示す断面図である。なお、平面構造は図32で示した構造と同様である。したがって、図38及び図39はそれぞれ図32のC-C断面を示しており、図38は選択信号SELが“0”の場合、図39は選択信号SELが“1”の場合を示している。

【0214】

これらの図に示すように、測定対象ノードNA、NBの形成領域外であるダミーノードDL及びダミーノードDRの下方に位置するシリコン基板10の表面内にも拡散領域13(ダミー活性領域)を形成した。これに伴い、ダミーノードDL及びDR、拡散領域13間にコンタクトホール66が形成されることになる。なお、ダミーノードDL、DR下の拡散領域13を含む全ての拡散領域13の形成幅、拡散領域13、13間のSTI領域12の距離は同一に設定される。さらに、各拡散領域13の形成面積と周囲長は同一に設定される。

【0215】

そして、測定対象ノードNA及びNBの下方の拡散領域13を含み、全ての拡散領域13はSTI領域12によって分離される。他の構成は図33及び図34で示した実施の形態10のTEST回路と同様である。

【0216】

このように、ダミーノードDL、DRの下方のシリコン基板10の表面にも拡散領域13を形成することにより、拡散領域13のパターン粗密差をなくすことにより、測定対象ノードNA及びNB下に形成される拡散領域13の加工精度の向上を図ることができる。

【0217】

図40及び図41はこの発明の実施の形態11であるCBCM用回路のREF回路の断面構造を示す断面図である。なお、平面構造は図35で示した構造と同様である。したが

って、図40及び図41はそれぞれ図35のD-D断面を示しており、図40は選択信号SELが“0”の場合、図41は選択信号SELが“1”の場合を示している。

【0218】

これらの図に示すように、測定対象ノードNA及びNBの下層配線層としてシリコン基板10が設けられ、シリコン基板10の表面内は拡散領域13が形成されることなく全表面内にSTI領域12が形成される。測定容量形成部7の他の構造は測定容量形成部6と同様である。

【0219】

以下、実施の形態11のCBCM用回路を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。

【0220】

図38に示すように、選択信号SEL＝“0”の場合、実施の形態10のTEST回路と同様、総計、10個のカップリング容量Ccが形成される。

【0221】

そして、測定対象ノードNAの下方の拡散領域13に5個の接合容量Cjが形成され、測定対象ノードNA、NBの下方に位置する10個の拡散領域13、13間のSTI領域12及び測定対象ノードNAの下方の左端の拡散領域13とダミーノードDLの下方の右端の拡散領域13との間に総計、10個のカップリング容量Cstiが形成される。したがって、第1テスト容量CT1は、次の(31)式で得ることができる。

【0222】

【数31】

$$CT1=10Cc+10Csti+5Cj+\alpha \cdots(31)$$

【0223】

図39に示すように、選択信号SEL＝“1”の場合、実施の形態10のTEST回路と同様、総計2個のカップリング容量Ccが形成され、測定対象ノードNA及びNBの下方の拡散領域13に10個の接合容量Cjが形成される。したがって、第2テスト容量CT2は、次の(32)式で得ることができる。

【0224】

【数32】

$$CT2=2Cc+10Cj+\beta \cdots(32)$$

【0225】

次に、REF回路を用いた測定を行う。

【0226】

図40に示すように、選択信号SEL＝“0”の場合、実施の形態10のREF回路と同様、総計、10個のカップリング容量Ccのみが形成される。したがって、第1参照容量CR1は、次の(33)式で得ることができる。

【0227】

【数33】

$$CR1=10Cc+\alpha \cdots(33)$$

【0228】

図41に示すように、選択信号SEL＝“1”の場合、実施の形態10のREF回路と同様、総計2個のカップリング容量Ccのみが形成される。したがって、第2参照容量CR2は、次の(34)式で得ることができる。

【0229】

【数34】

$$CR2=2Cc+\beta \cdots(34)$$

## 【0230】

そして、実施の形態10と同様にして、(31)～(34)式を解法することにより、拡散領域13、13間のカップリング容量 $C_{sti}$ を精度よく得ることができる。

## 【0231】

＜実施の形態12＞

図42及び図43はこの発明の実施の形態12であるCBCM用回路のTEST回路の断面構造を示す断面図である。なお、平面構造は図32で示した構造と同様である。したがって、図42及び図43はそれぞれ図32のC-C断面を示しており、図42は選択信号SELが“0”の場合、図43は選択信号SELが“1”の場合を示している。

## 【0232】

これらの図に示すように、実施の形態11のTEST回路に比べ、シリコン基板10ではなくSOI基板11を用いた点が異なっている。SOI基板11はシリコン基板17、埋込絶縁層18及びSOI層19の積層構造により形成される。したがって、SOI層19の表面内に、実施の形態11のTEST回路と同様に、拡散領域13及びSTI領域12が形成される。他の構造は図38及び図39で示した実施の形態11のTEST回路と同様である。

## 【0233】

図44及び図45はこの発明の実施の形態12であるCBCM用回路のREF回路の断面構造を示す断面図である。なお、平面構造は図35で示した構造と同様である。したがって、図44及び図45はそれぞれ図35のD-D断面を示しており、図44は選択信号SELが“0”の場合、図45は選択信号SELが“1”の場合を示している。

## 【0234】

これらの図に示すように、シリコン基板10がSOI基板11に置き換わった点を除いて、実施の形態11のREF回路と同様の構造を呈している。

## 【0235】

以下、実施の形態12のCBCM用回路を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。

## 【0236】

図42に示すように、選択信号SEL＝“0”の場合、実施の形態11のTEST回路と同様、10個のカップリング容量 $C_c$ 、5個の接合容量 $C_j$ 、10個のカップリング容量 $C_{sti}$ が形成される。したがって、第1テスト容量 $CT1$ は、次の(35)式で得ることができる。なお、実施の形態12の接合容量 $C_j$ は拡散領域13とSOI層19との界面で形成されるPN接合の容量を意味する。

## 【0237】

【数35】

$$CT1 = 10C_c + 10C_{sti} + 5C_j + \alpha \cdots (35)$$

## 【0238】

図43に示すように、選択信号SEL＝“1”の場合、実施の形態11のTEST回路と同様、2個のカップリング容量 $C_c$ 、10個の接合容量 $C_j$ が形成される。したがって、第2テスト容量 $CT2$ は、次の(36)式で得ることができる。

## 【0239】

【数36】

$$CT2 = 2C_c + 10C_j + \beta \cdots (36)$$

## 【0240】

次に、REF回路を用いた測定を行う。

## 【0241】

図44に示すように、選択信号SEL＝“0”の場合、実施の形態10のREF回路と同様、10個のカップリング容量 $C_c$ のみが形成される。したがって、第1参照容量 $CR$

1 は、次の(37)式で得ることができる。

【0242】

【数37】

$$CR1 = 10Cc + \alpha \cdots (37)$$

【0243】

図45に示すように、選択信号SEL = “1” の場合、実施の形態10のREF回路と同様、2個のカップリング容量Ccのみが形成される。したがって、第2参照容量CR2は、次の(38)式で得ることができる。

【0244】

【数38】

$$CR2 = 2Cc + \beta \cdots (38)$$

【0245】

そして、実施の形態10と同様にして、(35)～(38)式を解法することにより、拡散領域13、13間のカップリング容量Cstiを精度よく得ることができる。

【0246】

<実施の形態13>

図46及び図47はこの発明の実施の形態13であるCBCM用回路のTEST回路の断面構造を示す断面図である。なお、平面構造は図32で示した構造と同様である。したがって、図46及び図47はそれぞれ図32のC-C断面を示しており、図46は選択信号SELが“0”の場合、図47は選択信号SELが“1”の場合を示している。

【0247】

これらの図に示すように、実施の形態12のTEST回路に比べ、各STI領域12が埋込絶縁層18に到達するように形成されている点が異なっている。すなわち、STI領域12及び埋込絶縁層18によって、各拡散領域13は完全分離される。

【0248】

他の構造は図42及び図43で示した実施の形態12のTEST回路と同様である。

【0249】

図48及び図49はこの発明の実施の形態13であるCBCM用回路のREF回路の断面構造を示す断面図である。なお、平面構造は図35で示した構造と同様である。したがって、図48及び図49はそれぞれ図35のD-D断面を示しており、図48は選択信号SELが“0”の場合、図49は選択信号SELが“1”の場合を示している。

【0250】

これらの図に示すように、SOI層19全てにSTI領域14が形成されている点を除いて、実施の形態12のREF回路と同様の構造を呈している。

【0251】

以下、実施の形態13のCBCM用回路を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。

【0252】

図46に示すように、選択信号SEL = “0” の場合、実施の形態11のTEST回路と同様、10個のカップリング容量Cc、5個の接合容量Cj、10個のカップリング容量Cstiが形成される。したがって、第1テスト容量CT1は、次の(39)式で得ることができる。

【0253】

【数39】

$$CT1 = 10Cc + 10Csti + 5Cj + \alpha \cdots (39)$$

【0254】

図47に示すように、選択信号SEL = “1” の場合、実施の形態11のTEST回路



と同様、2個のカップリング容量 $C_c$ 、10個の接合容量 $C_j$ が形成される。したがって、第2テスト容量 $CT2$ は、次の(40)式で得ることができる。

【0255】

【数40】

$$CT2 = 2C_c + 10C_j + \beta \cdots (40)$$

【0256】

次に、REF回路を用いた測定を行う。

【0257】

図48に示すように、選択信号SEL="0"の場合、実施の形態10のREF回路と同様、10個のカップリング容量 $C_c$ のみが形成される。したがって、第1参照容量 $CR1$ は、次の(41)式で得ることができる。

【0258】

【数41】

$$CR1 = 10C_c + \alpha \cdots (41)$$

【0259】

図49に示すように、選択信号SEL="1"の場合、実施の形態10のREF回路と同様、2個のカップリング容量 $C_c$ のみが形成される。したがって、第2参照容量 $CR2$ は、次の(42)式で得ることができる。

【0260】

【数42】

$$CR2 = 2C_c + \beta \cdots (42)$$

【0261】

そして、実施の形態10と同様にして、(39)～(42)式を解法することにより、拡散領域13、13間のカップリング容量 $C_{sti}$ を精度よく得ることができる。

【0262】

＜実施の形態14＞

図50及び図51はこの発明の実施の形態14であるCBCM用回路のTEST回路の断面構造を示す断面図である。なお、平面構造は図32で示した構造と同様である。したがって、図50及び図51はそれぞれ図32のC-C断面を示しており、図50は選択信号SELが"0"の場合、図51は選択信号SELが"1"の場合を示している。

【0263】

これらの図に示すように、実施の形態13のTEST回路に比べ、各拡散領域13が埋込絶縁層18に到達するように形成されている点が異なっている。したがって、拡散領域13にはPN接合は形成されない。他の構造は図46及び図47で示した実施の形態13のTEST回路と同様である。

【0264】

図52及び図53はこの発明の実施の形態14であるCBCM用回路のREF回路の断面構造を示す断面図である。なお、平面構造は図35で示した構造と同様である。したがって、図52及び図53はそれぞれ図35のD-D断面を示しており、図52は選択信号SELが"0"の場合、図53は選択信号SELが"1"の場合を示している。

【0265】

これらの図に示すように、実施の形態14のREF回路は、実施の形態13のREF回路と同様の構造を呈している。

【0266】

以下、実施の形態14のCBCM用回路を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。

【0267】

図50に示すように、選択信号SEL="0"の場合、実施の形態11のTEST回路と同様、10個のカップリング容量Cc、10個のカップリング容量Cstiが形成される。しかし、拡散領域13はいずれの界面ともPN接合は形成されないため接合容量Cjは形成されない。したがって、第1テスト容量CT1は、次の(43)式で得ることができる。

【0268】

【数43】

$$CT1=10Cc+10Csti+\alpha \cdots(43)$$

【0269】

図51に示すように、選択信号SEL="1"の場合、実施の形態11のTEST回路と同様、2個のカップリング容量Ccが形成される。しかし、前述した理由により接合容量Cjは形成されない。したがって、第2テスト容量CT2は、次の(44)式で得ることができる。

【0270】

【数44】

$$CT2=2Cc+\beta \cdots(44)$$

【0271】

次に、REF回路を用いた測定を行う。

【0272】

図52に示すように、選択信号SEL="0"の場合、実施の形態10のREF回路と同様、10個のカップリング容量Ccのみが形成される。したがって、第1参照容量CR1は、次の(45)式で得ることができる。

【0273】

【数45】

$$CR1=10Cc+\alpha \cdots(45)$$

【0274】

図53に示すように、選択信号SEL="1"の場合、実施の形態10のREF回路と同様、2個のカップリング容量Ccのみが形成される。したがって、第2参照容量CR2は、次の(46)式で得ることができる。

【0275】

【数46】

$$CR2=2Cc+\beta \cdots(46)$$

【0276】

そして、実施の形態10と同様にして、(43)～(46)式を解法することにより、拡散領域13、13間のカップリング容量Cstiを精度よく得ることができる。

【0277】

なお、(44)式と(46)式とは全く同じ内容となるため、実施の形態14のREF回路においては、測定対象ノードNBを接地レベルに固定しても何ら支障はない。この場合、図35で示したトランスファゲート46、47及びインバータ48が不要になる分、回路構成の簡略化を図ることができる。

【0278】

<実施の形態15>

図54はこの発明の実施の形態15のCBCM用回路のTEST回路の回路構成を模式的に示す説明図である。図55は図54のE-E断面の断面構造を示す断面図である。

【0279】

同図に示すように、実施の形態8のCBCM用回路と比べた場合、測定容量形成部3が測定容量形成部8Tに置き換わった点異なる。

## 【0280】

測定容量形成部 8 T (図 5 4 では平面構造を示している。)は、シリコン基板 1 0 に形成され、中心部に矩形状の拡散領域 1 5 A が形成され、拡散領域 1 5 A の周辺を囲んで S T I 領域 1 2 A が形成され、S T I 領域 1 2 A の周辺を囲んで拡散領域 1 5 B が形成され、拡散領域 1 5 B の周辺に囲んで S T I 領域 1 2 B が形成される。

## 【0281】

配線層として機能する測定対象ノード N A は拡散領域 1 5 A にかけて横方向に伸びた矩形状を呈しており、拡散領域 1 5 A とコンタクトホール 6 6 を介して電氣的に接続される。配線層として機能する測定対象ノード N B は拡散領域 1 5 B の 3 辺の上方に伸びて形成され、複数のコンタクトホール 6 6 を介して拡散領域 1 5 B と電氣的に接続される。

## 【0282】

ここで、拡散領域 1 5 A の周辺長は  $L_A$ 、拡散領域 1 5 A の面積は  $S_A$ 、拡散領域 1 5 B の面積が面積  $S_B$  であるとする。

## 【0283】

図 5 5 に示すように、測定対象ノード N A, N B 間に 2 つのカップリング容量  $C_c$  が形成され、拡散領域 1 5 A には接合容量  $C_{j a}$  が形成され、拡散領域 1 5 B には接合容量  $C_{j b}$  が形成される。また、S T I 領域 1 2 A を挟んだ拡散領域 1 5 A, 1 5 B 間にカップリング容量  $C_{sti}$  が形成される。

## 【0284】

図 5 6 はこの発明の実施の形態 1 5 の C B C M 用回路の R E F 回路の回路構成を模式的に示す説明図である。図 5 5 は図 5 6 の F - F 断面の断面構造にも相当する。

## 【0285】

測定容量形成部 8 R (図 5 6 では平面構造を示している。)は、測定容量形成部 8 T と同様に、シリコン基板 1 0 に形成され、中心部に矩形状の拡散領域 1 5 C が形成され、拡散領域 1 5 C の周辺を囲んで S T I 領域 1 2 C が形成され、S T I 領域 1 2 C の周辺を囲んで拡散領域 1 5 D が形成され、拡散領域 1 5 D の周辺に囲んで S T I 領域 1 2 D が形成される。

## 【0286】

測定対象ノード N A は拡散領域 1 5 C にかけて横方向に伸びた矩形状を呈しており、拡散領域 1 5 C とコンタクトホール 6 6 を介して電氣的に接続される。測定対象ノード N B は拡散領域 1 5 D の 3 辺の上方に伸びて形成され、複数のコンタクトホール 6 6 を介して拡散領域 1 5 B と電氣的に接続される。

## 【0287】

ここで、拡散領域 1 5 C の周辺長は  $L_C$ 、拡散領域 1 5 C の面積は  $S_C$ 、拡散領域 1 5 D の面積が面積  $S_D$  であるとする。

## 【0288】

したがって、測定容量形成部 8 R は、測定容量形成部 8 T と比較して場合、拡散領域 1 5 C の面積  $S_C$  は拡散領域 1 5 A の面積  $S_A$  より小さく形成され、拡散領域 1 5 D の面積  $S_D$  は拡散領域 1 5 B の面積  $S_B$  より広く形成される点が異なっている。

## 【0289】

以下、実施の形態 1 5 の C B C M 用回路を用いた容量値の測定方法を説明する。まず、T E S T 回路を用いた測定を行う。ここで、接合容量  $C_{j a}$ 、接合容量  $C_{j b}$  は単位面積当たりの容量を意味し、カップリング容量  $C_{sti}$  は単位長当たりの容量を意味している。

## 【0290】

選択信号  $S E L = "0"$  の場合、測定対象ノード N A, N B 間にカップリング容量  $C_c$  が形成され、拡散領域 1 5 A に接合容量  $C_{j a}$  が形成され、拡散領域 1 5 A, 1 5 B 間にカップリング容量  $C_{sti}$  が形成される。また、回路を形成する配線等の微小容量  $\alpha$  も形成される。したがって、第 1 テスト容量  $C_{T1}$  は、次の (47) 式で得ることができる。

## 【0291】

【数 47】

$$CT1 = Cc + Csti \times LA + Cja \times SA + \alpha \cdots (47)$$

【0292】

選択信号 SEL = “1” の場合、測定対象ノード NA, NB 間が短絡されるためカップリング容量 Cc は形成されず、拡散領域 15A 及び 15B にそれぞれ接合容量 Cja 及び接合容量 Cjb が形成されるだけである。また、回路を形成する配線等の微小容量  $\beta$  も形成される。したがって、第 2 テスト容量 CT2 は、次の (48) 式で得ることができる。

【0293】

【数 48】

$$CT2 = Cja \times SA + Cjb \times SB + \beta \cdots (48)$$

【0294】

次に、REF 回路を用いた測定を行う。

【0295】

選択信号 SEL = “0” の場合、TEST 回路の場合と同様に、カップリング容量 Cc、カップリング容量 Csti 及び接合容量 Cja が形成される。また、回路を形成する配線等の微小容量  $\alpha$  も形成される。したがって、第 1 参照容量 CR1 は、次の (49) 式で得ることができる。

【0296】

【数 49】

$$CR1 = Cc + Csti \times LC + Cja \times SC + \alpha \cdots (49)$$

【0297】

選択信号 SEL = “1” の場合、TEST 回路と同様、接合容量 Cja 及び接合容量 Cjb が形成される。また、回路を形成する配線等の微小容量  $\beta$  も形成される。したがって、第 2 参照容量 CR2 は、次の (50) 式で得ることができる。

【0298】

【数 50】

$$CR2 = Cja \times SC + Cjb \times SD + \beta \cdots (50)$$

【0299】

そして、実施の形態 10 と同様にして、(47)～(50) 式を解法することにより、拡散領域 15A, 15B 間のカップリング容量 Csti を精度よく得ることができる。

【0300】

このように、実施の形態 15 では、測定対象ノード NA, NB の下方に形成される拡散領域の面積を変更することにより、カップリング容量 Csti 及び接合容量 Cja, Cjb を求めることができる。

【0301】

また、STI 領域 12A～12D の形成幅を適宜変化させたときの、カップリング容量 Csti や接合容量 Cja, Cjb を測定することができる。

【0302】

<実施の形態 16>

図 57 はこの発明の実施の形態 16 の CBCM 用回路の TEST 回路の回路構成を模式的に示す説明図である。図 58 は図 57 の G-G 断面の断面構造を示す断面図である。

【0303】

同図に示すように、図 54 及び図 55 で示す実施の形態 15 の TEST 回路と比べた場合、測定容量形成部 8T が測定容量形成部 9T に置き換わった点異なる。

【0304】

測定容量形成部 9T (図 57 では平面構造を示している。) は、拡散領域 15A 上に選

択的にゲート絶縁膜 29 を介してゲート電極 28 を形成している。また、ゲート電極 28 直下の拡散領域 15A の表面がチャネル領域となるようにする。

#### 【0305】

そして、測定対象ノード NA はゲート電極 28 とコンタクトホール 66 を介して電氣的に接続される。したがって、ゲート電極 28 直下の拡散領域 15A には接合容量  $C_{ja}$  ではなく、ゲート容量  $C_{ga}$  が形成される。他の構成は実施の形態 15 の測定容量形成部 8T と同様であるため、説明を省略する。

#### 【0306】

図 59 はこの発明の実施の形態 16 の CBCM 用回路の REF 回路の回路構成を模式的に示す説明図である。図 58 は図 59 の H-H 断面の断面構造にも相当する。

#### 【0307】

測定容量形成部 9R (図 59 では平面構造を示している。) は、拡散領域 15C 上に選択的にゲート絶縁膜 29 を介してゲート電極 28 を形成している。そして、測定対象ノード NA はゲート電極 28 とコンタクトホール 66 を介して電氣的に接続される。したがって、ゲート電極 28 直下の拡散領域 15C には接合容量  $C_{ja}$  ではなく、ゲート容量  $C_{ga}$  が形成される。他の構成は実施の形態 15 の測定容量形成部 8R と同様であるため、説明を省略する。

#### 【0308】

以下、実施の形態 16 の CBCM 用回路を用いた容量値の測定方法を説明する。まず、TEST 回路を用いた測定を行う。ここで、ゲート容量  $C_{ga}$  は単位面積当たりの容量を意味している。他の容量は実施の形態 15 と同様である。

#### 【0309】

選択信号 SEL = “0” の場合、測定対象ノード NA, NB 間にカップリング容量  $C_c$  が形成され、拡散領域 15A にゲート容量  $C_{ga}$  が形成され、拡散領域 15A, 15B 間にカップリング容量  $C_{sti}$  が形成される。また、回路を形成する配線等の微小容量  $\alpha$  も形成される。したがって、第 1 テスト容量 CT1 は、次の (51) 式で得ることができる。

#### 【0310】

##### 【数 51】

$$CT1 = C_c + C_{sti} \times LA + C_{ga} \times SA + \alpha \quad \cdots (51)$$

#### 【0311】

選択信号 SEL = “1” の場合、測定対象ノード NA, NB 間が短絡されるためカップリング容量  $C_c$  は形成されず、拡散領域 15A 及び 15B にそれぞれゲート容量  $C_{ga}$  及び接合容量  $C_{jb}$  が形成されるだけである。また、回路を形成する配線等の微小容量  $\beta$  も形成される。したがって、第 2 テスト容量 CT2 は、次の (52) 式で得ることができる。

#### 【0312】

##### 【数 52】

$$CT2 = C_{ga} \times SA + C_{jb} \times SB + \beta \quad \cdots (52)$$

#### 【0313】

次に、REF 回路を用いた測定を行う。

#### 【0314】

選択信号 SEL = “0” の場合、TEST 回路の場合と同様に、カップリング容量  $C_c$ 、カップリング容量  $C_{sti}$  及びゲート容量  $C_{ga}$  が形成される。また、微小容量  $\alpha$  も形成される。したがって、第 1 参照容量 CR1 は、次の (53) 式で得ることができる。

#### 【0315】

##### 【数 53】

$$CR1 = C_c + C_{sti} \times LC + C_{ga} \times SC + \alpha \quad \cdots (53)$$

#### 【0316】

選択信号SEL = “1” の場合、TEST回路と同様、ゲート容量Cga及び接合容量Cjbが形成される。また、微小容量βも形成される。したがって、第2参照容量CR2は、次の(54)式で得ることができる。

【0317】

【数54】

$$CR2 = Cga \times SC + Cjb \times SD + \beta \cdots (54)$$

【0318】

そして、実施の形態10と同様にして、(51)～(54)式を解法することにより、拡散領域15A、15B間のカップリング容量Cstiを精度よく得ることができる。

【0319】

このように、実施の形態16では、測定対象ノードNA、NBの下方に形成される拡散領域の面積を変更することにより、カップリング容量Cstiを求めることができる。

【0320】

なお、実施の形態15及び実施の形態16で用いた拡散領域15A及び15Cの周辺長LA、LC及び拡散領域15A～15Dの面積SA～SDは設計者の意図によって任意に設定して良い。

【0321】

＜実施の形態17＞

(前提技術)

銅配線の仕上がり形状は、配線のピッチや周囲の配線面積占有率に依存することが知られている。それは、OPC (Optical Proximity Correction: 光学近接補正) やCMP (Chemical Mechanical Polishing) が、配線面積占有率に依存するためである。配線のピッチや配線面積占有率が異なると、配線仕上がり値の平均値が変わり、同時に、仕上がり値のばらつきも変わる。

【0322】

したがって、配線形成用のマスク上では同じ配線幅でも、仕上がりの配線幅の平均値に配線スペース依存性が見られる。さらに、上記マスク上では同じ配線スペースでも、仕上がりの配線スペース（隣接する配線間の間隔）の平均値に配線幅依存性が見られる。配線抵抗は配線幅に比例する。また、配線寄生容量に対して支配的である同層間配線容量（例えば、第1メタル配線と隣接する第1メタル配線との間の容量）は、配線スペースに反比例する。したがって、TEG (Test Element Group) を測定して求められる配線抵抗や配線容量は、配線ピッチや配線面積占有率に依存する。

【0323】

LPE (Layout Parameter Extraction) ツールにて、レイアウトからトランジスタ等の能動素子と配線抵抗、配線容量等の受動素子とからなる回路シミュレーション用の回路情報（パラメータ）を抽出する場合には、レイアウトに描かれた配線ピッチ（配線自体を含めた配線間隔）や配線面積占有率に応じて配線抵抗や配線容量を計算するための情報を上記LPE（ツール）に与えておく必要がある。LPEに与える情報として必要なのは、各配線ピッチや配線面積占有率における仕上がりの配線スペースを含む配線構造である。

【0324】

これらの配線構造を抽出する従来手法として、各配線ピッチや配線面積占有率を振り分けて配線構造を作成し、その断面をSEM (Scanning Electron Microscope) 写真にとり、各配線構造のdimension（寸法）を抽出することが行われている。しかしながら、配線をウエハ上面から観察すると、配線幅が場所によって異なっているため、平均的な配線幅を数が限られた断面SEM写真からは、精度よく抽出できない問題がある。例えば、第1メタル層では、配線端が周期的にうねっている、ラインエッジラフネス (line edge roughness) と呼ばれる現象が見られ、配線の場所によって、配線幅が異なる。配線幅の平均値を精度よく抽出するには、多数の断面SEM写真が必要になり、非常に困難である。また、ウエハ上面から観察して配線幅をSEMで捉えることはできるが、配線端はSEMの測定条

件により変化するため、LPEで要求される精度の配線容量を与えるための配線幅を抽出することは、SEMでは非常に困難であるという問題点があった。

#### 【0325】

このように、各配線ピッチや配線面積占有率に依存した配線構造を抽出し、配線抵抗と配線容量の両者を再現する、精度良い手法が従来は無かった。以下で述べる実施の形態17の配線特性の解析方法は、上記問題点を鑑みてなされたもので、配線容量と配線抵抗の配線ピッチや配線面積占有率依存性を考慮して、配線構造を精度良く抽出する手法を提供するものである。

#### 【0326】

(配線特性の解析方法)

図23で示した実施の形態6の配線特性の解析方法は、多層配線を絶縁分離する絶縁層の膜厚及び誘電率の推定値を正確に得る方法であった。実施の形態17は配線容量に加え、配線抵抗をさらに測定することにより、より正確な配線形状を推定可能にした配線特性の解析方法である。

#### 【0327】

図60は実施の形態17におけるCBCM法の測定対象となる測定抵抗形成部を示す説明図である。同図に示すように、パッド101、102間に配線抵抗パターン103が設けられ、配線抵抗パターン103は中心部に抵抗部分103Rを有し、それ以外の領域はメッシュ状配線部103Mによって構成される。

#### 【0328】

配線抵抗パターン103は図21で示したノードN1で示された配線(所定の配線)に対応する配線抵抗パターンである。この配線抵抗パターン103の配線抵抗の測定は、既存のKelvin法(四端子法)で測定される。

#### 【0329】

図61は抵抗部分103Rの詳細を示す説明図である。同図に示すように、抵抗部分103Rは測定用配線パターン107及びダミーパターン108、109より構成される。

#### 【0330】

測定用配線パターン107は、メッシュ状配線部103Mの配線幅に比べ十分狭い配線幅を有し、曲がりくねりながら蛇行形状を呈することにより所望の配線長さを実現している。そして、測定用配線パターン107は、隣接する左右のメッシュ状配線部103Mと電氣的に接続される。メッシュ状配線部103Mは配線幅を測定用配線パターン107の配線幅よりも十分大きく形成することにより、メッシュ状配線部103Mの抵抗値は測定用配線パターン107と比べて十分無視できる値となり、抵抗測定対象として関与しないため、測定用配線パターン107の測定精度を向上させることができる。

#### 【0331】

一方、ダミーパターン108、109は測定用配線パターン107及び配線抵抗パターン103とは電氣的に分離されフローティング状態となるように形成され、ダミーパターン108は測定用配線パターン107の周辺に配置され、ダミーパターン109は測定用配線パターン107の隙間に形成される。

#### 【0332】

この際、測定用配線パターン107は、測定抵抗条件である配線長さ $W1$ 、配線幅 $WL$ 、配線スペース $WS$ 及び配線膜厚 $WH$ は、測定容量形成部2で用いたノードN1の配線と同じになるように設定される。したがって、抵抗測定においては測定容量形成部2のノードN1と等価な構造が測定用配線パターン107として実現できるため、測定容量形成部2のノードN1の配線に適合した抵抗測定が可能となる。

#### 【0333】

図62は測定容量形成部2におけるCMPプロセスに伴う斑点状のダミーパターンを示す説明図である。このCMPダミーパターン104は測定容量形成部2の配線パターンの周辺に形成されるダミーのパターンを意味する。

#### 【0334】

図63はメッシュ状配線部103Mにおけるメッシュ状配線パターン105を示す説明図である。メッシュ状配線パターン105の配線の面積率は測定容量形成部2のCMPダミーパターンの面積率と同程度になるように設定される。例えば、図62で示したCMPダミーパターン104の各斑点104pの形状が $2 \times 2$  ( $\mu\text{m}$ )の正形状で、 $3.5 \mu\text{m}$ ピッチで配線の面積率が32%となる場合、メッシュ状配線パターン105を、例えば、横 $6 \mu\text{m}$ 及び縦 $4 \mu\text{m}$ で $1 \mu\text{m}$ 幅の形状で構成すると配線の面積率は31%とすることにより、同様な面積率を実現することができ、より精度の高い配線抵抗の測定が可能となる。

#### 【0335】

さらに、図示しないが、実施の形態6の図20で示した測定容量形成部2のノードN21～N25配線に対応する第1～第5の補助抵抗パターンを形成する。これら第1～第5の補助抵抗パターンの配線抵抗パターン103に対応する位置関係は、ノードN1に対するノードN21～N25の位置関係に等しい。そして、第1～第5の補助抵抗パターンはそれぞれノードN21～N25の配線と等価な形状で形成される。

#### 【0336】

このように、配線抵抗パターン103、第1～第5の補助抵抗パターンにより形成される測定抵抗形成部は、配線に関する諸条件を測定容量形成部2と同条件で形成することにより、2つの形成部間における配線及び絶縁膜の膜厚を厳密に一致させることができる。また、測定抵抗形成部の抵抗部分103R以外に寄生する抵抗を低減でき、抵抗測定精度を向上させることができる。なお、第1～第5の補助抵抗パターンを設けない場合は、抵抗測定精度は幾分低下するが、測定抵抗形成部がノードN1の配線と測定抵抗条件が同じ構造の配線抵抗パターン103を少なくとも含めば本来の機能を発揮することはできる。

#### 【0337】

図64は実施の形態17による配線特性の解析方法を示すフローチャートである。なお、図21で示した測定容量形成部2は図20で示した実施の形態6のCBCM回路を用いて容量測定される。

#### 【0338】

同図を参照して、ステップS21でノードN1、ノードN21～N25の配線形状（異なる配線間における配線間距離を含む）、ノードN1、ノードN21間等の上下の配線層間の絶縁層67の膜厚、絶縁層67の（比）誘電率及び配線膜厚を含む配線特性を設定する。なお、図21では、絶縁層67を一括りにして示しているが、通常は配線層間で異なる絶縁層が設けられる多層構造となっており、絶縁層67の形成高さによって実効的な誘電率も異なる。

#### 【0339】

ステップS22で、ステップS21で設定した配線特性の内容で所定のシミュレーションを実行することにより、ノードN1とノードN21～N25との間のカップリング容量Cc1～Cc5及びノードN1の配線抵抗を非実測で求める。

#### 【0340】

一方、ステップS23では、図21で示した多層配線構造を測定容量形成部2とした実施の形態6のCBCM用回路を用いて、実施の形態6で説明したようにカップリング容量Cc1～Cc5を実測で求める。

#### 【0341】

他方、ステップS24では、図60で示した配線抵抗パターン103の抵抗値を既存のKelvin法（四端子法）を用いて実測する。

#### 【0342】

そして、ステップS25において、ステップS22で得たカップリング容量Cc1～Cc5のシミュレーション値と、ステップS23で得たカップリング容量Cc1～Cc5の実測値とを比較（第1の比較）するとともに、ステップS22で得た配線抵抗のシミュレーション値と、ステップS24で得た配線抵抗の実測値とを比較する（第2の比較）。

#### 【0343】



ステップS 2 5 の第 1 及び第 2 の比較結果が共に一致していれば、ステップS 2 1 の設定値が正しいと判断し処理を終了し、不一致であればステップS 2 6 に移行する。

【0344】

ステップS 2 6 において、上下の配線層間の絶縁層 6 7 の膜厚及び誘電率、配線膜厚等の配線特性を変更し、ステップS 2 1 で再設定する。

【0345】

以降、ステップS 2 5 で一致が検出されるまで、ステップS 2 1、S 2 2、S 2 5、S 2 6 を繰り返す。なお、ステップS 2 3、S 2 4 は一回の実測で良い。

【0346】

したがって、ステップS 2 5 で一致が検出されると、絶縁層 6 7 の膜厚及び誘電率に加え、ノードN 1 の配線の配線膜厚の推定値を正確に得ることができる。その結果、精度の高い配線特性の解析を行うことができる。

【0347】

このように、実施の形態 1 7 の配線特性の解析方法では、配線膜厚を含む配線特性の精度の高い解析を行うことができる。

【0348】

図 6 5 は図 6 4 のステップS 2 6 の変更処理の一例を示すフローチャートである。以下、同図を参照してその所定手順を説明する。

【0349】

ステップS 3 1 において、実験計画表の一種であるBox-Behnken design (BBD) と Central Composite Factorial (CCF) design と原点 (すべての因子が水準0) を組み合わせた実験計画表を作成する。

水準は  $\{-1, 0, 1\}$  の 3 水準でも、 $\{-2, -1, 0, 1, 2\}$  の 5 水準でも、 $\{-3, -2, -1, 0, 1, 2, 3\}$  の 7 水準でも構わない。水準数は限定されない。水準0は設計値であり、通常、設計仕様書 (Design Manual) に記載されている値である。各水準は、設計値からのずれを表す。符号は設計値からのずれが、正方向か負方向か、すなわち各水準が設計値より大きい小さいかを示している。例えば、5 水準  $\{-2, -1, 0, 1, 2\}$  において、1 水準の変動率を 5% とすると、-2 は -10%、-1 は -5%、0 は 0%、+1 は +5%、+2 は +10% に相当する。

【0350】

図 6 6 は、配線構造の断面を模式的に示した説明図である。図 6 6 に示すように、下部電極 1 1 7 上に絶縁膜 1 1 6 ~ 1 1 1 が順に形成され、絶縁膜 1 1 1 上に上部電極 1 2 0 が形成される。配線層 1 1 8 は絶縁膜 1 1 3 内に上部の配線幅が下部より広くなるテーパ状に形成される。配線層 1 1 8 の上部が絶縁膜 1 1 2 に接している。

【0351】

バリアメタル層 1 1 9 は配線層 1 1 8 の側面及び底面を覆うように絶縁膜 1 1 3 及び 1 1 4 内に形成される。バリアメタル層 1 1 9 の上面が絶縁膜 1 1 2 に接し、底面が絶縁膜 1 1 5 に接している。

【0352】

このような構成において、因子 V 1 ~ V 1 0 は、以下のように決定される。絶縁膜厚 V 1 : 絶縁膜 1 1 1 の膜厚、絶縁膜厚 V 2 : 絶縁膜 1 1 2 の膜厚、絶縁膜厚 V 3 : 絶縁膜 1 1 3 の膜厚、絶縁膜厚 V 4 : 絶縁膜 1 1 4 の膜厚、絶縁膜厚 V 5 : 絶縁膜 1 1 5 の膜厚、絶縁膜厚 V 6 : 絶縁膜 1 1 6 の膜厚、配線幅 V 7 : 配線層 1 1 8 の配線幅、配線スペース V 8 : 配線層 1 1 8、1 1 8 の上部間のスペース、バリアメタル膜厚 V 9 : バリアメタル層 1 1 9 の膜厚、テーパ角 V 1 0 : 配線層 1 1 8 の底面から上面にかけて延びる側面の角度となる。

【0353】

このように、配線構造を表現する因子には、配線幅、配線スペース、配線膜厚をはじめ、配線のテーパ角、バリアメタルの膜厚や、各絶縁膜厚や誘電率 (比誘電率) がある。

ここでは、一例として、比誘電率は固定値を用い、それ以外は、上述したように、それぞれの因子を V 1 ~ V 1 0 と表現する。

## 【0354】

次に、ステップS32の寄生容量及び寄生抵抗を求める処理に移行する。ステップS32において、図66に示した10の因子V1～V10を実験計画表に従って変動させる。以下、その詳細を説明する。

## 【0355】

図67は、3水準、10因子のBox-Behnken design による実験計画表を示す説明図である。図67示した実験計画表がステップS32で用いられる。

## 【0356】

1水準の変動率を10%とすると、例えば、図67の実験計画表で示した配線構造1では、因子V1とV2が設計値からのずれが-10%の厚さであり、因子V3,V4,V6,V8,V9,V10が設計値のままであり、因子V5とV7が設計値からのずれ-10%の厚さである。各配線構造を実験計画表に従って作成し、それに対応する寄生容量と寄生抵抗を、例えば、電磁界シミュレーションで計算する。

## 【0357】

つぎに、ステップS33において、各配線構造因子を引数として、寄生容量と寄生抵抗を与える応答曲面関数 (Response Surface Function; RSF) を求める。例えば、応答曲面関数を2次多項式で表現すると、つぎの(55)式で与えられる。

## 【0358】

【数55】

$$RSF = a_0 + \sum_{i=1}^n (a_i x_i + a_{ij} x_i^2) + \sum_{i < j}^n (a_{ij} x_i x_j) \quad \cdots (55)$$

## 【0359】

ただし、 $a_0, \dots, a_i, \dots, a_{ij}, \dots$  は、応答曲面関数の係数、 $x_i, x_j$  は設計値で規格化した因子である。したがって、 $x_i$  の変動範囲は、-1から+1である。また、例えば、配線容量の応答曲面関数を求める際に、因子を規格化するにあたって、図66に示す層間絶縁膜の膜厚 V1, V2, V5, V6に関する因子と配線スペースに関する因子V8は、規格化した値の逆数を用いる。すなわち、設計値をそれぞれ、D1, D2, D5, D6, D8とすると、 $x_1 = D1 / V1$ ,  $x_2 = D2 / V2$ ,  $x_5 = D5 / V5$ ,  $x_6 = D6 / V6$ ,  $x_8 = D8 / V8$  となる。

## 【0360】

これは、配線容量が電極間の距離に反比例するためである。一方、配線が形成される絶縁膜に関する因子V3, V4は普通に規格する。すなわち、設計値をそれぞれ、D3, D4とすると、 $x_3 = V3 / D3$ ,  $x_4 = V4 / D4$  である。これは、同層間の配線容量が配線膜厚(=V3+V4)に比例するからである。

## 【0361】

その他の因子の規格化は任意である。この規格化の仕方で因子を決めた方が、すべての因子を通常の規格化して決めた場合に比べて、RSFの精度が良いことが経験的に知られている。また、配線抵抗の応答曲面関数を求める際には、これとは別の規格化を用いてもよい。

## 【0362】

RSFの係数 $a$ は、各配線構造に対して、配線容量、あるいは、配線抵抗のシミュレーション値を再現するように抽出する。抽出アルゴリズムは、一般に使われているものであり、ここでは、例えば、非線形最小二乗法(Modified Levenberg-Marquardt法)を使用している。

## 【0363】

つぎに、ステップS34において、配線抵抗と配線容量の応答曲面関数RSFの左辺に、それぞれの配線構造に対応して、CBCM法による配線容量の実測値D16と四端子法による配線抵抗の実測値D17を与えて、両者を同時に満たす配線構造因子V1～V10を探索する。ステップS34において非破壊とあるのは、配線構造の断面SEM写真から配線の各膜厚や配線幅や配線スペースやバリアメタルの膜厚や配線のテーパ角を抽出するのと

は異なり、ウエハを割らずに配線抵抗と配線容量から配線構造を抽出するという意味である。

#### 【0364】

探索エンジンとしては、公知の最適化アルゴリズムを使えばよく、例えば、Simulated Annealing（シミュレーテッド アニーリング）やGenetic Algorithm（遺伝的アルゴリズム）を使用している。

#### 【0365】

そして、ステップS35において、配線抵抗値と配線容量値を同時に満たす配線構造因子V1～V10を一括して抽出する。

#### 【0366】

以上の例では、ある一つの配線層の一種類パターン（配線幅と配線スペースの組み合わせ）の構造探索を示したが、一つの配線層に複数の種類のパターンがあり、かつ、それが複数の配線層に対して存在する場合に、複数種のパターンに対し配線構造探索を一括して行ってもよい。

#### 【0367】

（配線抵抗と配線容量を一括して抽出するメリット）

図68は隣接する配線モデルを示す説明図である。同図に示すように、2本の金属配線121、122が配線スペースWS間隔をおいて形成されている。金属配線122の配線抵抗Rは、配線幅をWL、配線スペースをWS、配線膜厚をWH、配線の長さ（奥行き方向）をW1、抵抗率を $\rho$ とすると、次の(56)式で与えられる。

#### 【0368】

【数56】

$$R = \rho \frac{WL \times WH}{W1} \quad \dots(56)$$

#### 【0369】

(56)式から、配線構造因子のうち、配線抵抗Rは、配線幅WLと配線膜厚WHに比例して、感度が高いことがわかる。

#### 【0370】

一方、配線寄生容量のうち支配的な同層間配線容量Cは、誘電率を $\epsilon$ とすると、次の(57)式で与えられる。

#### 【0371】

【数57】

$$C = \epsilon \frac{WH \times W1}{WS} \quad \dots(57)$$

#### 【0372】

(57)式から、配線容量Cは配線膜厚WHに比例し、配線スペースWSに反比例して、感度が高いことがわかる。

#### 【0373】

配線容量Cは、配線構造因子WL、WH、WSのうち、配線幅WLに対してだけ感度がなく、配線幅WLの抽出精度が悪くなる。これは、配線容量だけから抽出した配線構造を用いて配線抵抗を計算すると、実測の配線抵抗を再現する精度が低くなることを意味している。

#### 【0374】

一方、配線抵抗は、配線スペースWSに対してだけ感度がなく、配線スペースWSの抽出精度が悪くなる。これは、配線抵抗だけから抽出した配線構造を用いて配線容量を計算すると、実測の配線容量を再現する精度が低くなることを意味している。

#### 【0375】

したがって、配線構造因子WL、WH、WSの全てを精度よく抽出するには、配線抵抗

と配線容量を同時に満たすように一括して配線構造因子を抽出した方がよい。

【0376】

以上の実施の形態17において、シリコン基板の代わりにSOI(Silicon On Insulator)基板、SON(Silicon On Nothing)基板、GaN基板、GaAs基板、InP基板等の化合物半導体基板を用いても、実測の配線容量と配線抵抗を精度よく再現する配線構造を抽出する手法を適用することができる。

【0377】

<実施の形態18>

(前提)

半導体素子の微細化に伴い、回路シミュレータの一つであるSPICE(Simulation Program with Intergrated Circuit Emphasis)で用いるSPICEパラメータのAC検証精度が種々の阻害要因により劣化することがある。阻害要因としては、トランジスタ以外の寄生容量の増加(第1の阻害要因)と、トランジスタ形状(活性領域、ゲート、コンタクト形状等)の理想値からのずれ(マスクの重ね合わせずれ含む)による誤差要因の増大(第2の阻害要因)とが挙げられる。

【0378】

標準セルに占める配線容量(多層配線間容量、コンタクト-多層配線間容量、コンタクト-ゲート間容量)の割合は非常に大きくなってきている。

【0379】

例えば90nmのテクノロジー世代では、セルの駆動能力にも依存するが、20~50%の割合を占めている。

【0380】

またトランジスタ形状に関しては、正確には断面SEMによる観察が必要であるが、ウェハーを破壊する必要があること、並びに解析に時間がかかることが難点である。

【0381】

SPICEパラメータのAC検証では、一般的にリングオシレータを用いてその発振周波数等を検証することにより行われる。リングオシレータの負荷としては、(A) 駆動セルドレイン接合容量、(B) 駆動セルドレインと負荷セルゲートを結ぶ配線容量(多層配線間容量、コンタクト-多層配線間容量、コンタクト-ゲート間容量)、(C) 負荷セルゲート容量の3種類の寄生容量が存在するが、(B)の寄生容量は上記第1の阻害要因に、(A)、(C)の寄生容量は上記第2の阻害要因に各々対応する。(A)、(B)、(C)の3種類を寄生容量を分離して測定しなくても、(A)、(B)、(C)のトータルの容量でモデル(SPICE/LPE(Layout Parameter Extraction))と実測がどの程度のずれ量であるかの情報が把握できれば、その情報に基づくことにより高精度にSPICEパラメータのAC検証を行うことが可能である。

【0382】

(実施の形態18のCBCM用回路)

図69はこの発明の実施の形態18であるCBCM用回路を示す回路図である。同図に示すように、実施の形態18のCBCM用回路はPMOSトランジスタMP2とNMOSトランジスタMN2とのドレイン間の端子P1にリングオシレータを構成するリング負荷部150が接続される。

【0383】

リング負荷部150はPMOSトランジスタMP5及びNMOSトランジスタMN5とからなる第1のインバータと、PMOSトランジスタMP6及びNMOSトランジスタMN6とからなる第2のインバータから構成される。

【0384】

PMOSトランジスタMP5のソース及びゲートはパッド151に電氣的に接続され、NMOSトランジスタMN5のソース及びゲートはパッド55に接続される。PMOSトランジスタMP5及びNMOSトランジスタMN5のドレイン間の端子P11はPMOSトランジスタMP6及びNMOSトランジスタMN6の共通ゲート端子である端子P12

に接続され、PMOSトランジスタMP6のソースはパッド151に接続され、NMOSトランジスタMN6のソースはパッド55に接続される。パッド151には電位NW（電源電位V<sub>dd</sub>に固定）が付与される。また、パッド151の代わりにパッド51を用いることもできる。

#### 【0385】

なお、PMOSトランジスタMP1及びMP2、NMOSトランジスタMN1及びMN2は、パッド51～56、電流計61、62等は図1で示した実施の形態1のCBCM用回路と同様であるため、説明を省略する。また、端子P3には実施の形態1と同様にダミー容量（図69では図示せず）が付随している。

#### 【0386】

また、リング負荷部150は上述した3つの寄生容量（A）、（B）、（C）を測定するために形成されるものであるため、実際のリングオシレータにより奇数段のインバータを設ける、最終段のインバータの出力を初段のインバータの入力に帰還される等の回路構成にはしていない。

#### 【0387】

このような構成において、初段のインバータ（第1のインバータ）を構成するPMOSトランジスタMP5のゲートはパッド151に電源電位V<sub>dd</sub>に固定され、NMOSトランジスタMN5のゲートはパッド55によって接地電位に固定される。

#### 【0388】

したがって、NMOSトランジスタMN5に流れる電流I<sub>N5</sub>はリーク電流以外流れず、実質的に“0”とみなすことができる。

#### 【0389】

一方、従来はPMOSトランジスタMP5及びNMOSトランジスタMN5のゲートを共通に接続することになり、フローティング状態でリング負荷部の駆動部を形成するのが一般的であったため、CBCM法による容量測定期間中において、電位NWが電源電位V<sub>dd</sub>に立ち上がる際、PMOSトランジスタMP5及びNMOSトランジスタMN5のゲート・ソース間容量により過渡的にゲート電位が電位NWに追従した結果、PMOSトランジスタMP5及びNMOSトランジスタMN5のゲート端子が中間電位になり、NMOSトランジスタMN5に“0”でない電流I<sub>N5</sub>が流れてしまう問題点があった。

#### 【0390】

しかしながら、実施の形態18では、上述したように、NMOSトランジスタMN5に流れる電流I<sub>N5</sub>は実質的に“0”であるため上記問題点が解消できている。

#### 【0391】

したがって、リング負荷部150におけるPMOSトランジスタMP5及びNMOSトランジスタMN5のドレイン接合容量（駆動側ドレイン接合容量）と、端子P11、P12間の配線容量（駆動側ドレインと負荷側のゲートを結ぶ配線容量）と、PMOSトランジスタMP6及びNMOSトランジスタMN6のゲート容量（負荷側のゲート容量）との総和であるリング負荷部150に付随する寄生容量をCBCM法により精度良く検出することができ、その結果、高精度なSPICEパラメータのAC検証が可能となる。

#### 【0392】

図70は図69で示したCBCM用回路を実現するためのレイアウト構成を示す説明図である。同図に示すように、リング負荷部150において、PMOSトランジスタMP5及びMP6はNウェル領域130内に、NMOSトランジスタMN5及びMN6はPウェル領域129内に形成される。

#### 【0393】

PMOSトランジスタMP5はNウェル領域130内に形成されたP型活性領域131及びゲート電極領域133により形成される。そして、PMOSトランジスタMP5のソース及びゲート電極領域133はコンタクトホール146及び147を介して第1層配線領域135に共通に電氣的に接続され、ドレインはコンタクトホール146を介して第1層配線領域136に電氣的に接続される。第1層配線領域136はコンタクトホール14

8を介して第2層配線領域139に電氣的に接続される。

【0394】

PMOSトランジスタMP6はNウェル領域130内に形成されたP型活性領域131及びゲート電極領域134により形成される。そして、PMOSトランジスタMP6のソースはコンタクトホール146を介して第1層配線領域135に電氣的に接続され、ゲート電極領域134はコンタクトホール147を介して第1層配線領域136に電氣的に接続され、ドレインはコンタクトホール146を介して第1層配線領域137に電氣的に接続される。

【0395】

NMOSトランジスタMN5はPウェル領域129内に形成されたN型活性領域132及びゲート電極領域133により形成される。そして、NMOSトランジスタMN5のソース及びゲート電極領域133はコンタクトホール146及び147を介して第1層配線領域138に共通に電氣的に接続され、ドレインはコンタクトホール146を介して第1層配線領域136に電氣的に接続される。

【0396】

NMOSトランジスタMN6はPウェル領域129内に形成されたN型活性領域132及びゲート電極領域134により形成される。そして、NMOSトランジスタMN6のソースはコンタクトホール146を介して第1層配線領域138に電氣的に接続され、ゲート電極領域134はPMOSトランジスタMP6と共有し、ドレインはコンタクトホール146を介して第1層配線領域137に電氣的に接続される。

【0397】

一方、PMOSトランジスタMP2はNウェル領域130内に形成され、P型活性領域131及びゲート電極領域133により構成され、ソースはコンタクトホール146を介して第1層配線領域140に電氣的に接続され、ドレインはコンタクトホール146を介して第1層配線領域142に電氣的に接続される。

【0398】

NMOSトランジスタMN2はPウェル領域129内に形成され、N型活性領域132及びゲート電極領域133により構成され、ソースはコンタクトホール146を介して第1層配線領域141に電氣的に接続され、ドレインはコンタクトホール146を介して第1層配線領域142に電氣的に接続される。そして、第1層配線領域142はコンタクトホール148を介して第2層配線領域139に電氣的に接続される。

【0399】

なお、PMOSトランジスタMP1及びNMOSトランジスタMN1のレイアウト構成は基本的にPMOSトランジスタMP2及びNMOSトランジスタMN2と同様であり、第1層配線領域140b～142b及び第2層配線領域139bは第1層配線領域に140～142及び第2層配線領域139に対応する配線である。また、図70では、PMOSトランジスタMP1及びMP2のゲートを共通接続する構成、NMOSトランジスタMN1及びMN2のゲートを共通接続する構成は省略されている。

【0400】

また、図70では図示を省略したが、PMOSトランジスタMP5及びMP6並びにNMOSトランジスタMN5及びMN6と等価のレイアウト構成を、PMOSトランジスタMP1及びNMOSトランジスタMN1の第2層配線領域139b側に、第2層配線領域139bに電氣的接続させることなくダミーパターンとして形成することにより、端子P1側と同内容のダミー寄生容量を端子P3側にも付随させることができる。

【0401】

このようなレイアウト構成を採ることにより、図69で示したCBCM用回路を実現することができる。このレイアウト構成は、PMOSトランジスタMP5及びNMOSトランジスタMN5のゲートを共有させた従来のレイアウト構成に対し、ゲート構造を分離させることにより実現している。すなわち、上記従来のレイアウト構成から、PMOSトランジスタMP5及びNMOSトランジスタMN5のゲート構造及びそれに関連するコンタ

クトホールの形成位置を変えることにより、実現することができる。

#### 【0402】

さらに、リングオシレータの第1及び第2のインバータ間を結ぶ配線（図69の配線部分L12、図70の第1層配線領域136に相当）が長い場合には、端子P11、端子P12間に配線抵抗用のTEGを挿入可能な配線形状キャラクタライズ（抽出）機能を、CBCM用回路として同一チップ上に搭載することで、LPEの精度を理論上“0”にすることができる効果を奏する。

#### 【0403】

＜その他＞

上述した実施の形態10等において、シリコン基板10に代えて、SiC基板、SON（Silicon On Nothing）基板、GaN基板、GaAs基板、InP基板等の半導体基板を用いても、同様にしてカップリング容量Csti等を測定することができる。

#### 【0404】

また、CBCM用回路を構成するトランジスタとしてMOSトランジスタを示したがスイッチング機能を有する素子であれば任意に代用可能であり、材質等は問わない。例えば、カーボンナノチューブに形成されたトランジスタを用いても構わない。さらに、素子分離領域としてSTI領域を用いたが、LOCOS等の他の素子分離法による素子分離領域を形成してもよい。本発明は、素子分離構造の種別に関係なく、素子分離領域を挟んで寄生する容量を測定することができる。

#### 【0405】

また、上述した実施の形態では、STI領域で分離される活性領域として拡散領域と示したが、拡散領域はN型不純物拡散領域（界面でのPN接合の形成の有無は問わない）、P型不純物拡散領域（界面でのPN接合の形成の有無は問わない）のいずれを用いても良い。また、活性領域として不純物拡散領域を形成しなくてもよい。さらに、不純物拡散領域上に金属シリサイド（NiSi<sub>2</sub>、CoSi<sub>2</sub>、TiSi<sub>2</sub>、PtSi<sub>2</sub>、MoSi<sub>2</sub>、ZrSi<sub>2</sub>等）を形成しなくても、この発明の効果を奏するのは言うまでもない。

#### 【図面の簡単な説明】

#### 【0406】

【図1】 この発明の実施の形態1であるCBCM用回路の構成を示す回路図である。

【図2】 実施の形態1のCBCM用回路動作を示すタイミング図である。

【図3】 測定配線あるいはダミー配線の具体例を示す平面図である。

【図4】 図3のA-A'断面を示す断面図である。

【図5】 実施の形態2のCBCM用回路の構成をウェル領域との関係で模式的に示した説明図である。

【図6】 図5のCBCM用回路で用いるNMOSトランジスタの断面構造を示す断面図である。

【図7】 図6のウェル構造を簡易的に示す説明図である。

【図8】 実施の形態3のCBCM用回路で用いられるトランジスタ構造を示す断面図である。

【図9】 実施の形態4のCBCM用回路の第1の回路における測定容量形成部の構成を示す回路図である。

【図10】 実施の形態4の第1の回路の測定容量形成部の内部構成を示す平面図である。

【図11】 図10のX1-X1'断面構造を示す断面図である。

【図12】 実施の形態4のCBCM用回路の第2の回路における測定容量形成部の構造を示す平面図である。

【図13】 図12のX2-X2'断面構造を示す断面図である。

【図14】 実施の形態5のCBCM用回路の第1の回路の回路構成を示す回路図である。

【図15】 実施の形態5の第1の回路の測定容量形成部の構造を示す平面図である。

- 【図 16】図 15 の Y1-Y1' 断面構造を示す断面図である。
- 【図 17】実施の形態 5 の第 2 の回路の測定容量形成部の第 2 の構造を示す平面図である。
- 【図 18】図 17 の Y2-Y2' 断面構造を示す断面図である。
- 【図 19】実施の形態 5 の第 1 の回路の測定容量形成部の他の態様を示す平面図である。
- 【図 20】この発明の実施の形態 6 である CBCM 用回路の構成を示す回路図である。
- 【図 21】実施の形態 6 における測定容量形成部の一例を示す断面図である。
- 【図 22】実施の形態 6 の CBCM 用回路の動作を示すタイミング図である。
- 【図 23】実施の形態 6 の CBCM 用回路を用いた配線特性の解析方法を示すフローチャートである。
- 【図 24】実施の形態 7 のデコーダの他の構成を示す回路図である。
- 【図 25】実施の形態 8 の回路構成を模式的に示す説明図である。
- 【図 26】実施の形態 8 の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 27】実施の形態 8 の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 28】実施の形態 8 の CBCM 用回路を用いた配線特性の解析方法を示すフローチャートである。
- 【図 29】この発明の実施の形態 9 の CBCM 用補助回路の回路構成を模式的に示す説明図である。
- 【図 30】実施の形態 9 の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 31】実施の形態 9 の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 32】この発明の実施の形態 10 の CBCM 用回路の TEST 回路の回路構成を模式的に示す説明図である。
- 【図 33】実施の形態 10 の TEST 回路の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 34】実施の形態 10 の TEST 回路の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 35】実施の形態 10 の REF 回路の回路構成を模式的に示す説明図である。
- 【図 36】実施の形態 10 の REF 回路の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 37】実施の形態 10 の REF 回路の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 38】実施の形態 11 の TEST 回路の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 39】実施の形態 11 の TEST 回路の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 40】実施の形態 11 の REF 回路の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 41】実施の形態 11 の REF 回路の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 42】実施の形態 12 の TEST 回路の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 43】実施の形態 12 の TEST 回路の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 44】実施の形態 12 の REF 回路の測定容量形成部の第 1 の状態を示す断面図である。
- 【図 45】実施の形態 12 の REF 回路の測定容量形成部の第 2 の状態を示す断面図である。
- 【図 46】実施の形態 13 の TEST 回路の測定容量形成部の第 1 の状態を示す断面図である。



図である。

【図 47】実施の形態 13 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 48】実施の形態 13 の R E F 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 49】実施の形態 13 の R E F 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 50】実施の形態 14 の T E S T 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 51】実施の形態 14 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 52】実施の形態 14 の R E F 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 53】実施の形態 14 の R E F 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 54】実施の形態 15 の C B C M 用回路の T E S T 回路の回路構成を模式的に示す説明図である。

【図 55】図 54 の E - E 断面の断面構造を示す断面図である。

【図 56】実施の形態 15 の C B C M 用回路の R E F 回路の回路構成を模式的に示す説明図である。

【図 57】実施の形態 16 の C B C M 用回路の T E S T 回路の回路構成を模式的に示す説明図である。

【図 58】図 57 の G - G 断面の断面構造を示す断面図である。

【図 59】実施の形態 16 の C B C M 用回路の R E F 回路の回路構成を模式的に示す説明図である。

【図 60】実施の形態 17 における C B C M 法の測定対象となる測定抵抗形成部を示す説明図である。

【図 61】図 60 の抵抗部分の詳細を示す説明図である。

【図 62】測定容量形成部における C M P ダミーパターンを示す説明図である。

【図 63】メッシュ状配線パターンを示す説明図である。

【図 64】実施の形態 17 による配線特性の解析方法を示すフローチャートである。

【図 65】図 64 の変更処理ステップの一例を示すフローチャートである。

【図 66】配線構造の断面を模式的に示した説明図である。

【図 67】実験計画表を示す説明図である。

【図 68】隣接する配線モデルを示す説明図である。

【図 69】この発明の実施の形態 18 である C B C M 用回路を示す回路図である。

【図 70】図 69 で示した C B C M 用回路を実現するためのレイアウト構成を示す説明図である。

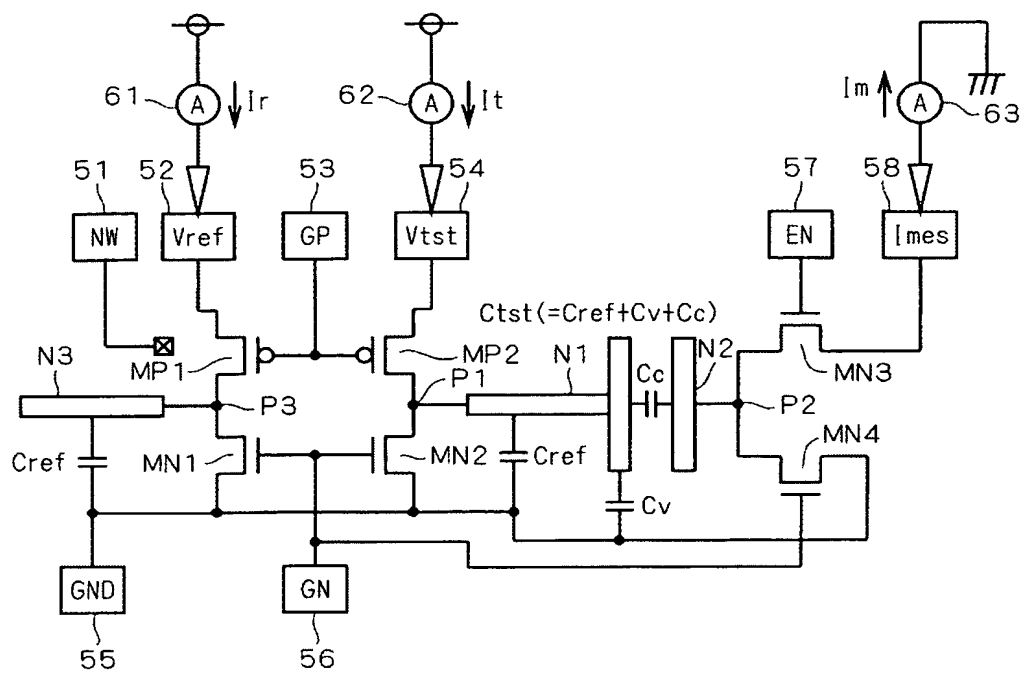
#### 【符号の説明】

##### 【0407】

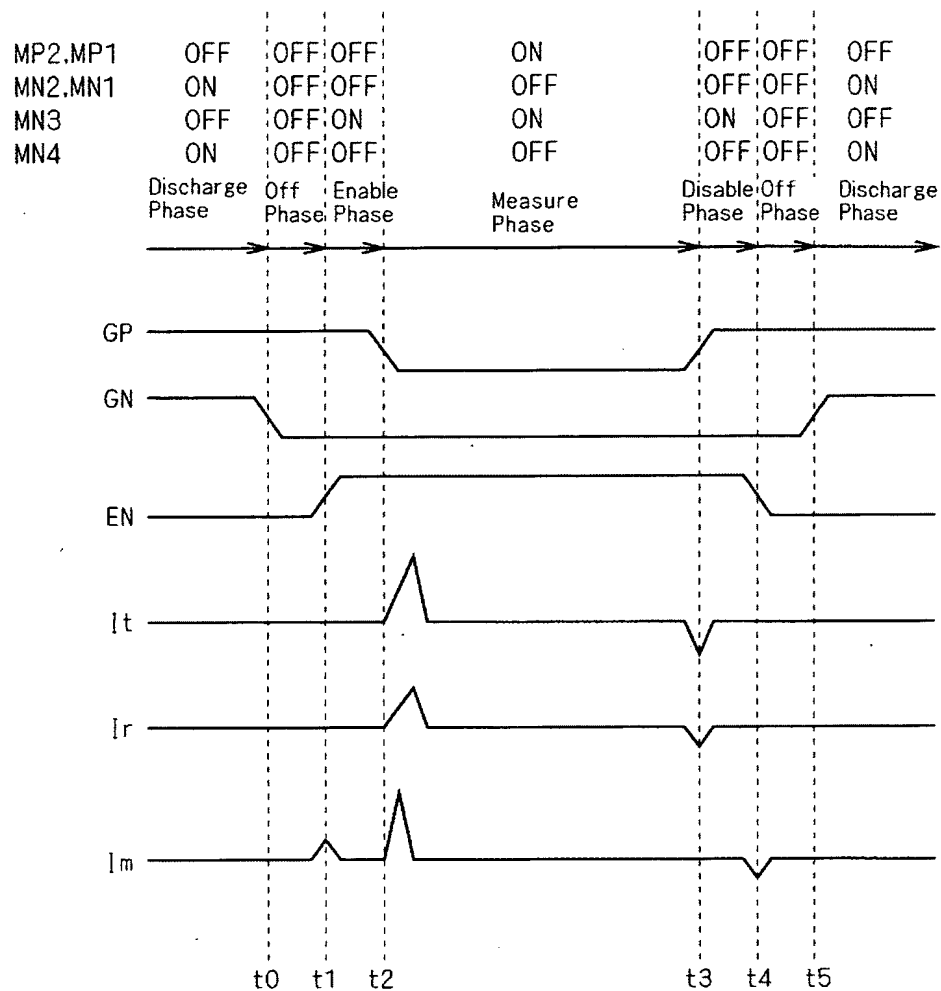
1, 5 デコーダ、2~7, 8 T, 8 R, 9 T, 9 R, 91 A, 91 B, 92 A, 92 B (補助) 測定容量形成部、10 シリコン基板、11 S O I 基板、12, 12 A ~ 12 D S T I 領域、13 拡散領域、15 A ~ 15 D 拡散領域、61 ~ 63, 70 電流計、103 配線抵抗パターン、103 M メッシュ状配線部、103 R 抵抗部分、150 リング負荷部、M N 1 ~ M N 6, M N 31 ~ M N 35, M N 41 ~ M N 45 N M O S トランジスタ、M P 1, M P 2, M P 5, M P 6 P M O S トランジスタ、N 1 ~ N 3, N A, N B (測定対象) ノード、P 1 ~ P 3, P 11, P 12, P 21 ~ P 25 端子。

【書類名】図面

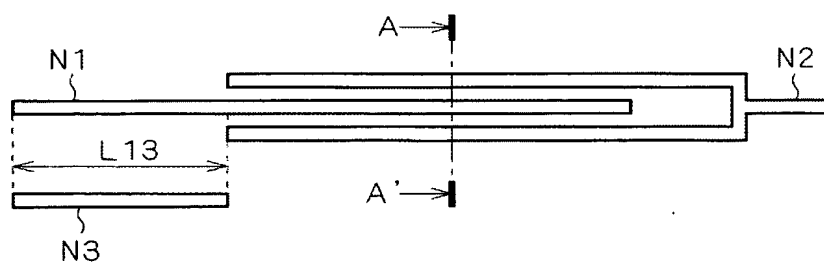
【図 1】



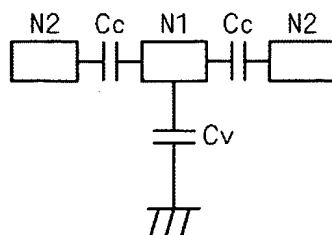
【図 2】



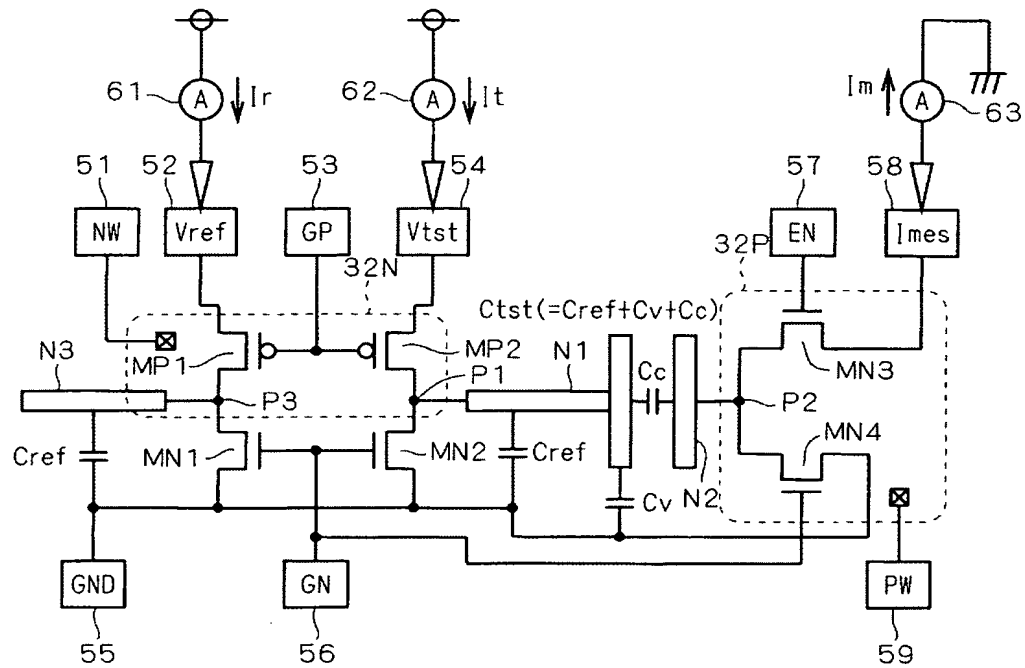
【図 3】



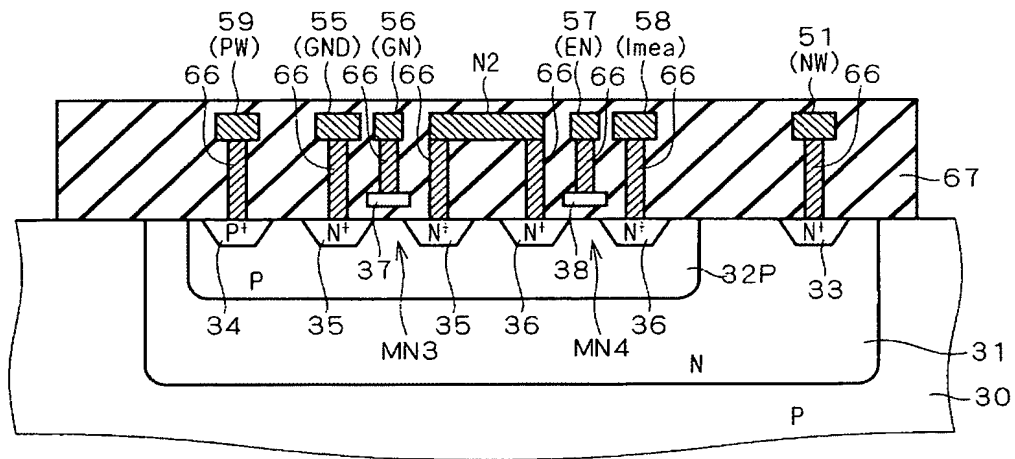
【図 4】



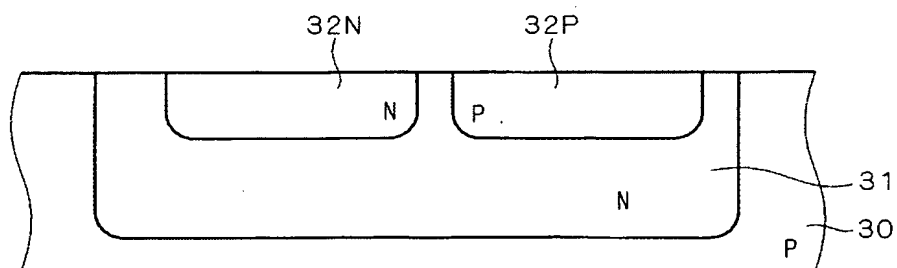
【図 5】



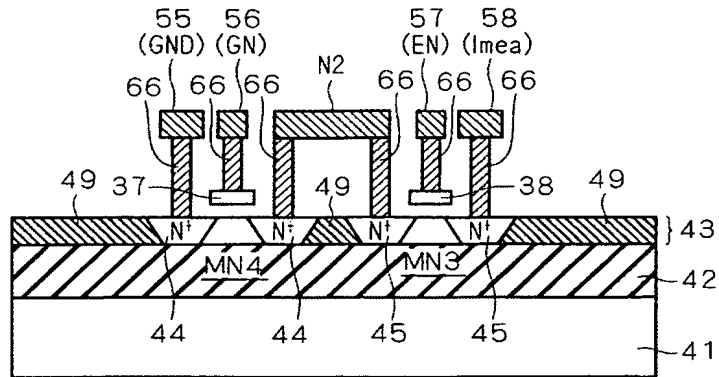
【図 6】



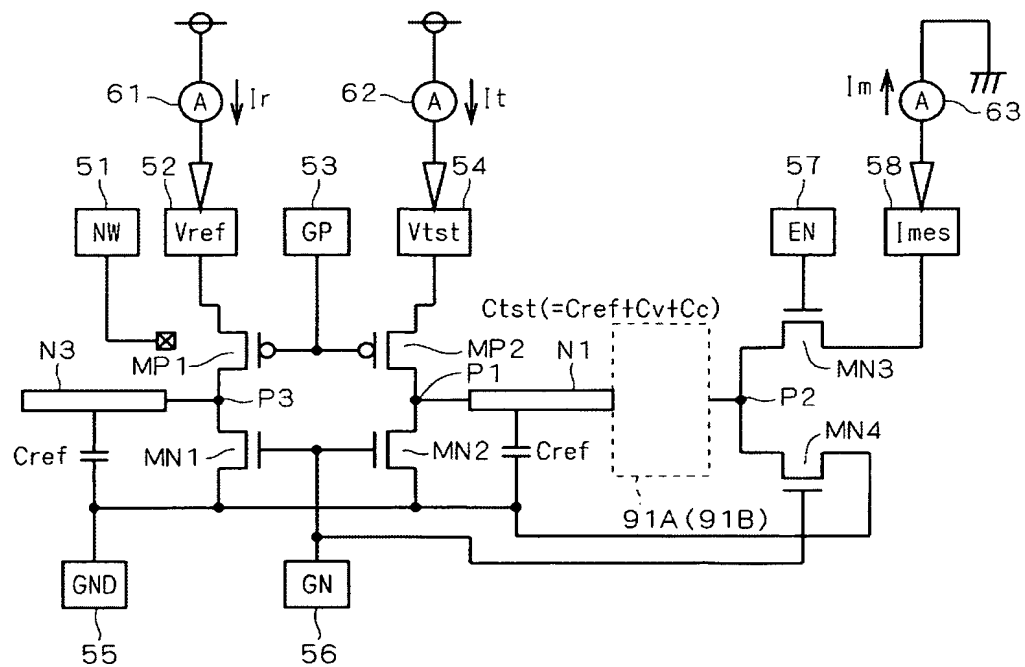
【図 7】



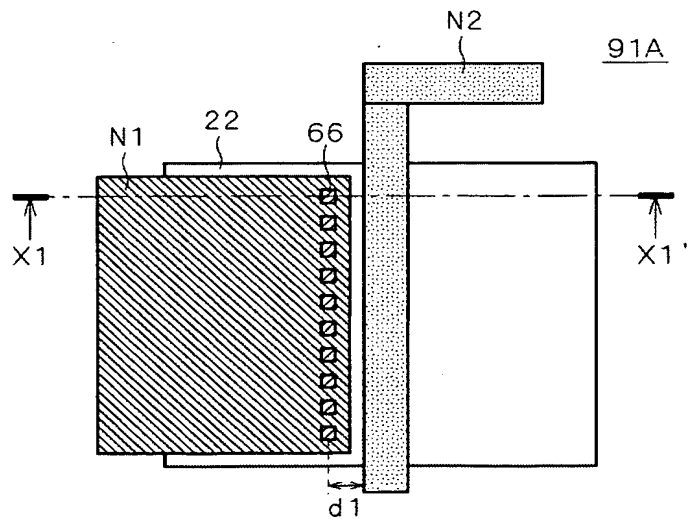
【图 8】



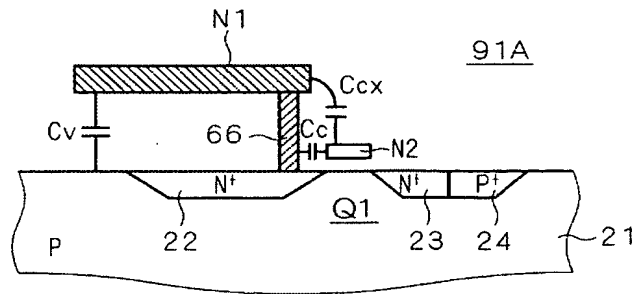
【図 9】



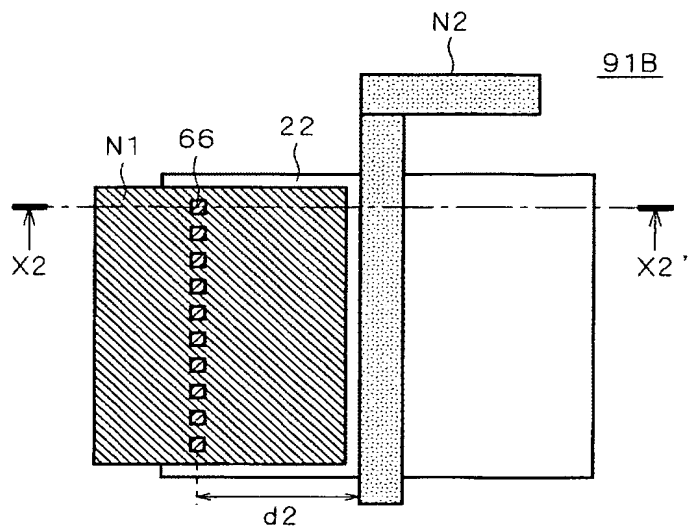
【図 10】



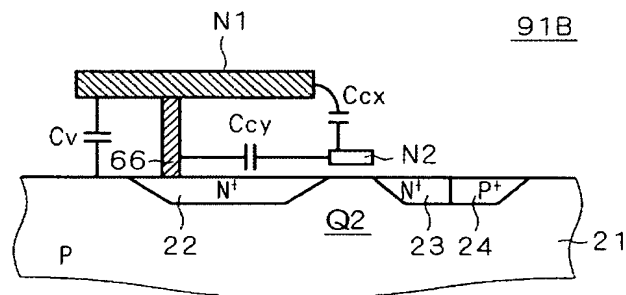
【図 1 1】



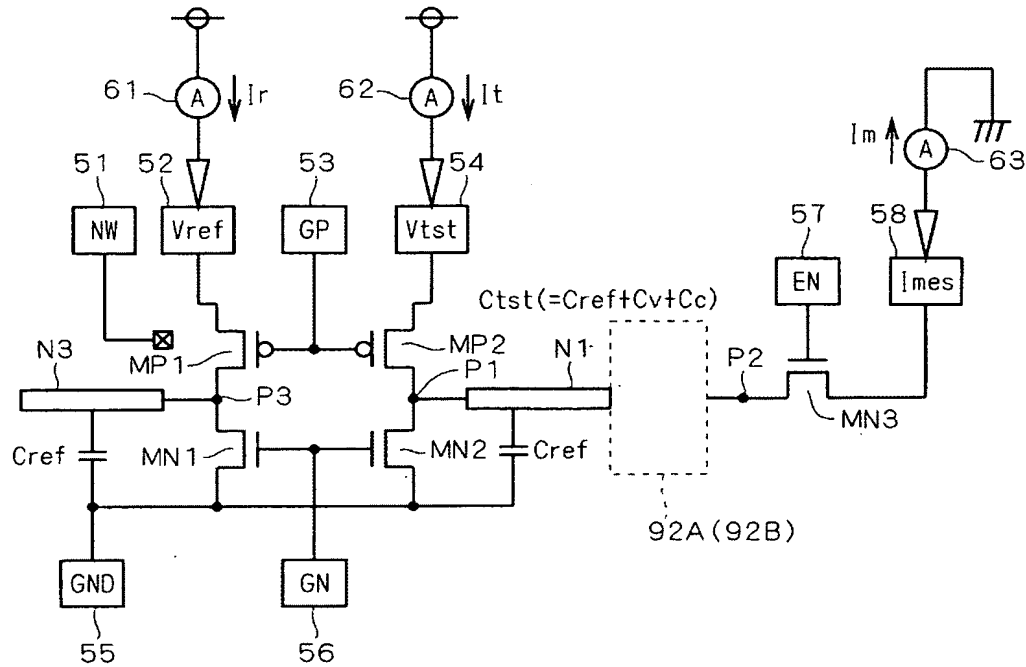
【图 1 2】



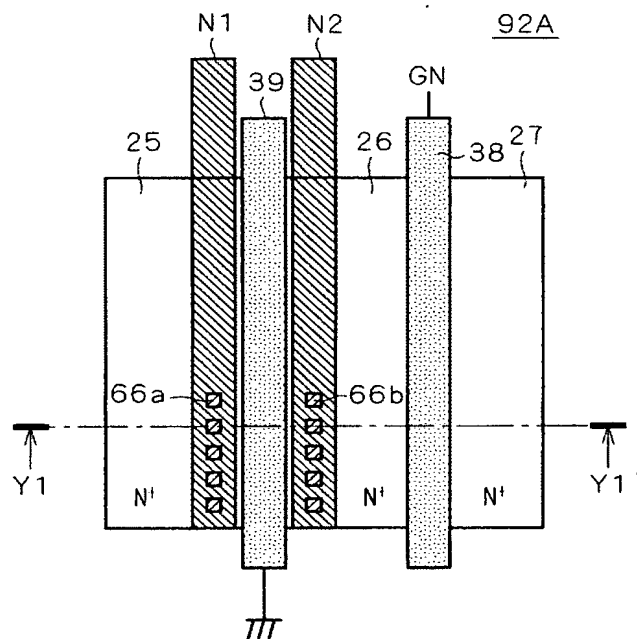
【図 13】



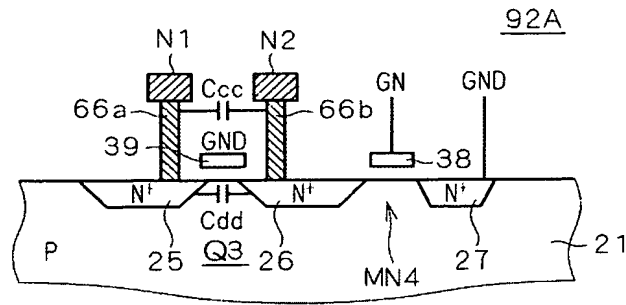
【図 14】



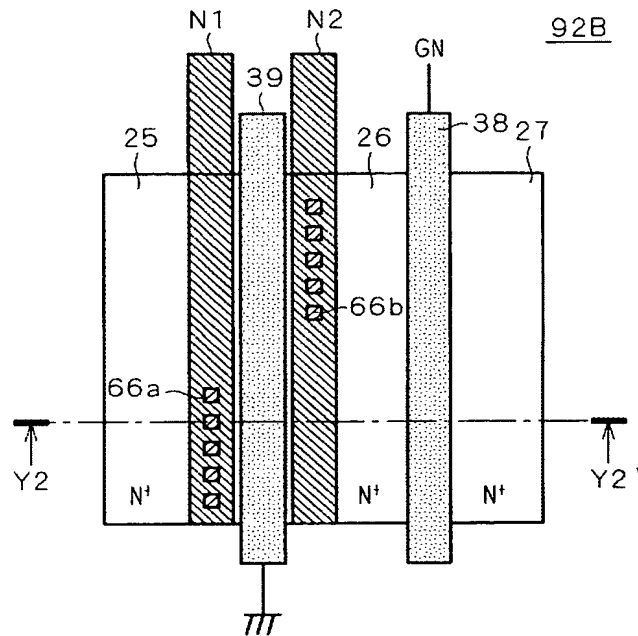
【図 15】



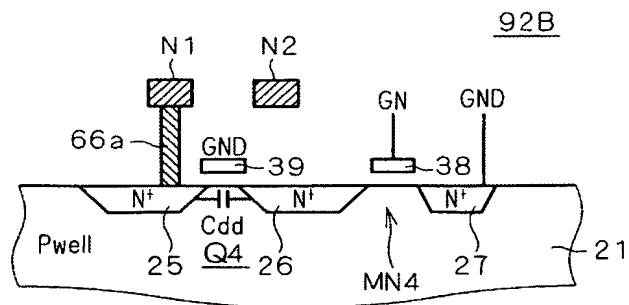
【図 16】



【图 17】

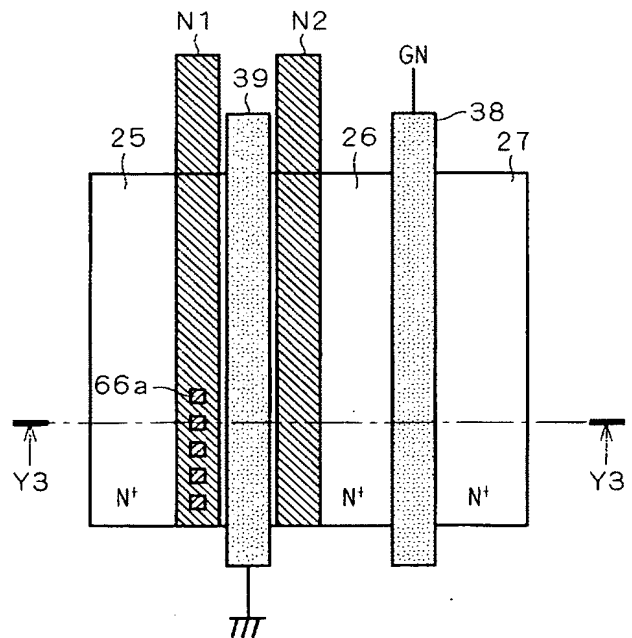


【図 18】

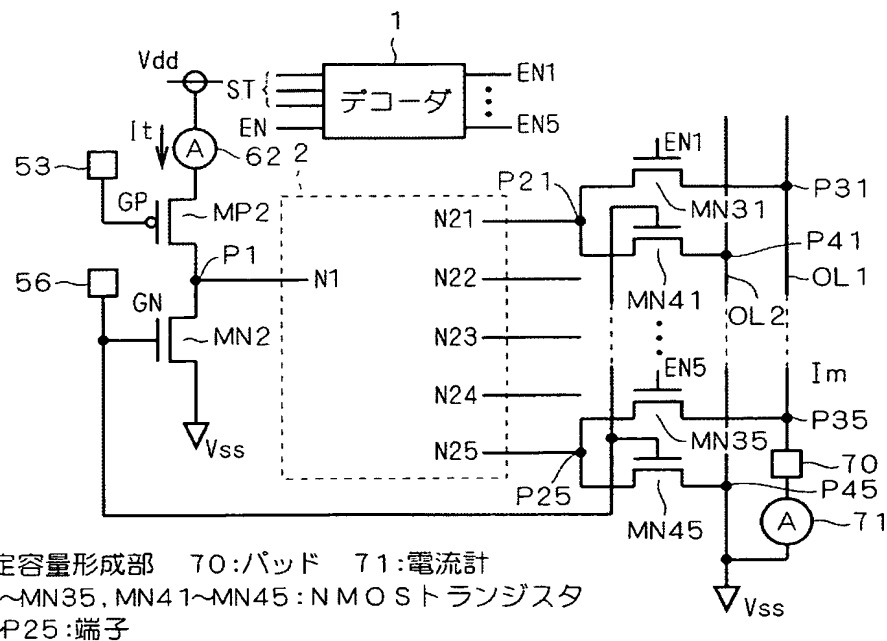




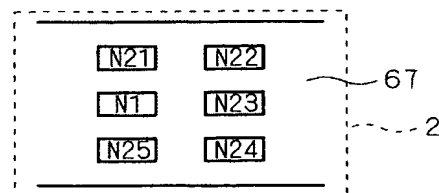
【図 19】



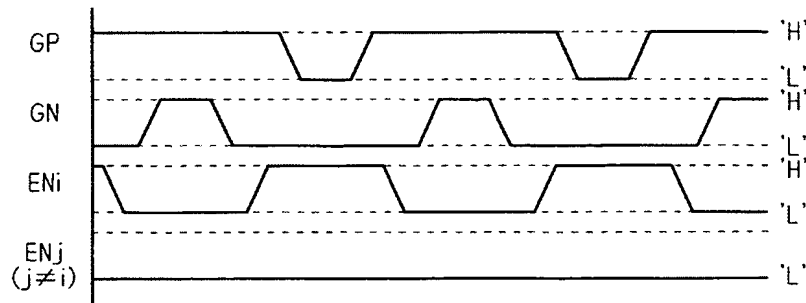
【図 20】



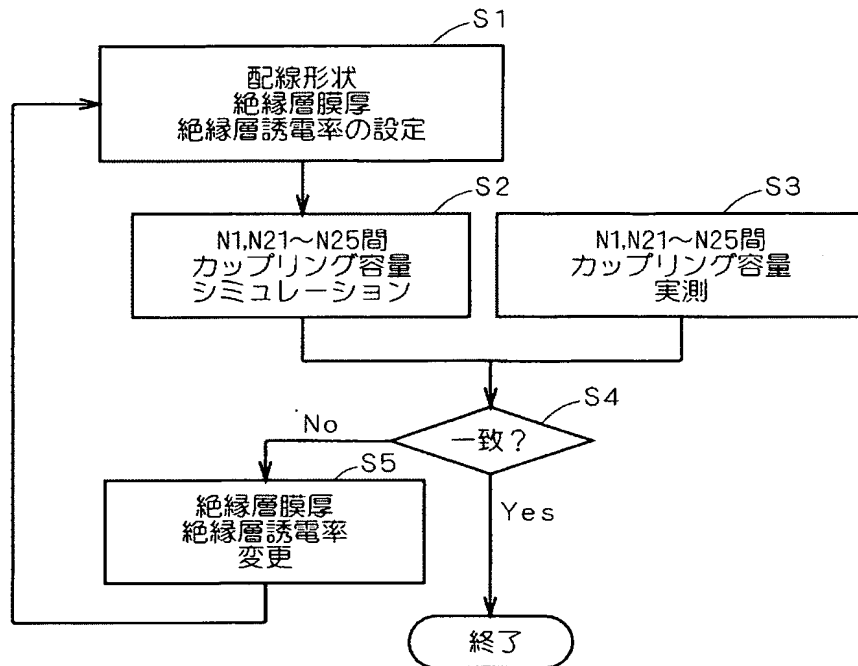
【図 21】



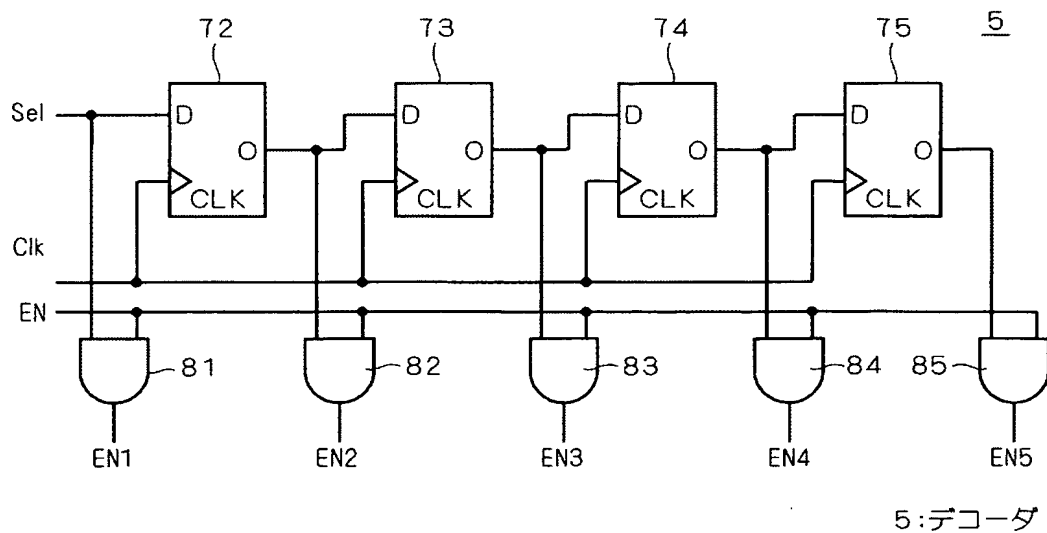
【図 2 2】



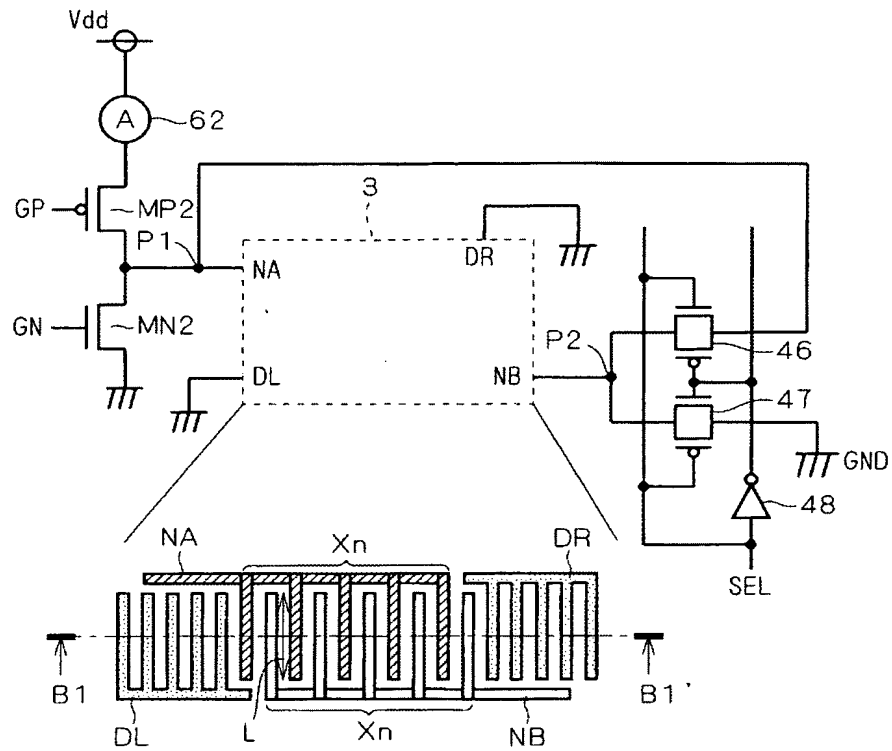
【図 2 3】



【図 2 4】

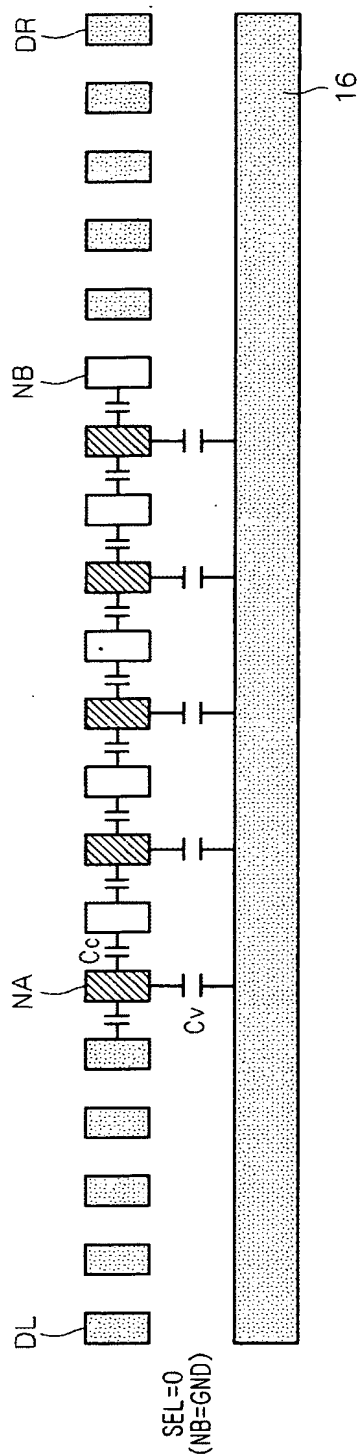


【図 25】

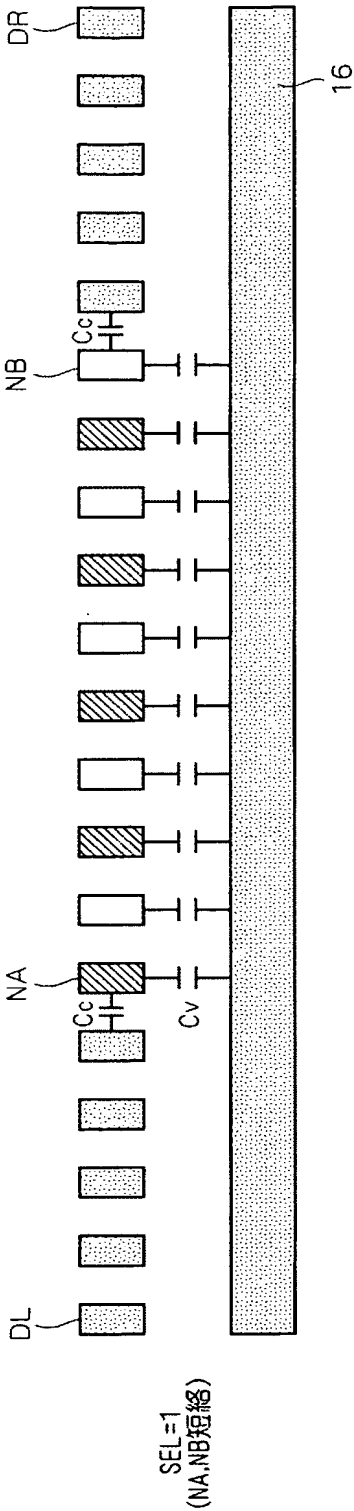


3:測定容量形成部

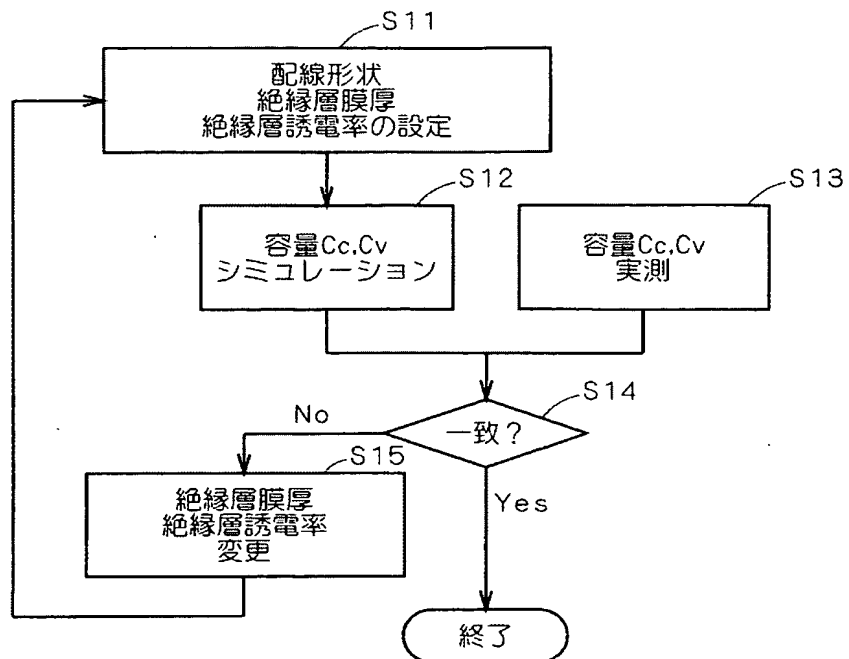
【図 26】



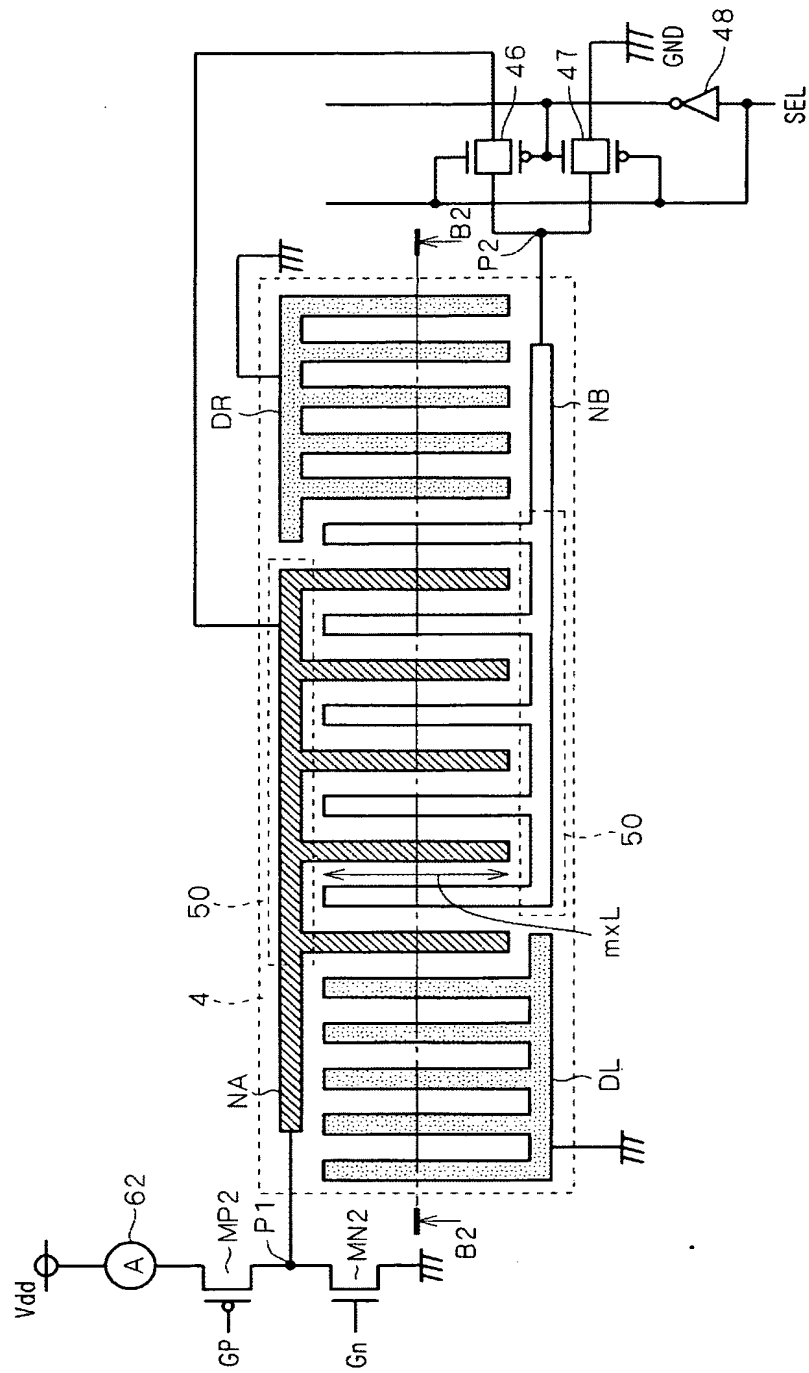
【図 27】



【図 28】

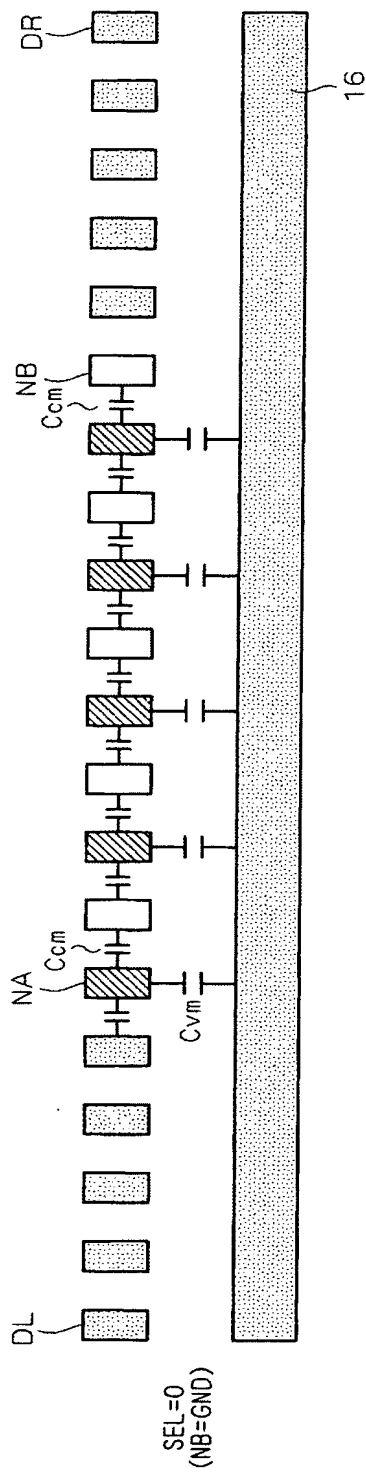


【図 29】



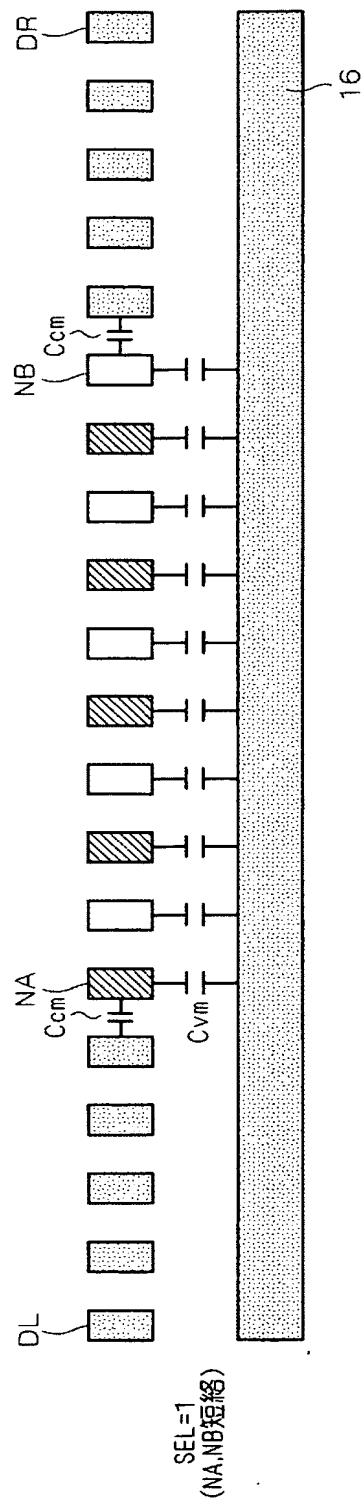
4:補助測定容量形成部

【図 30】

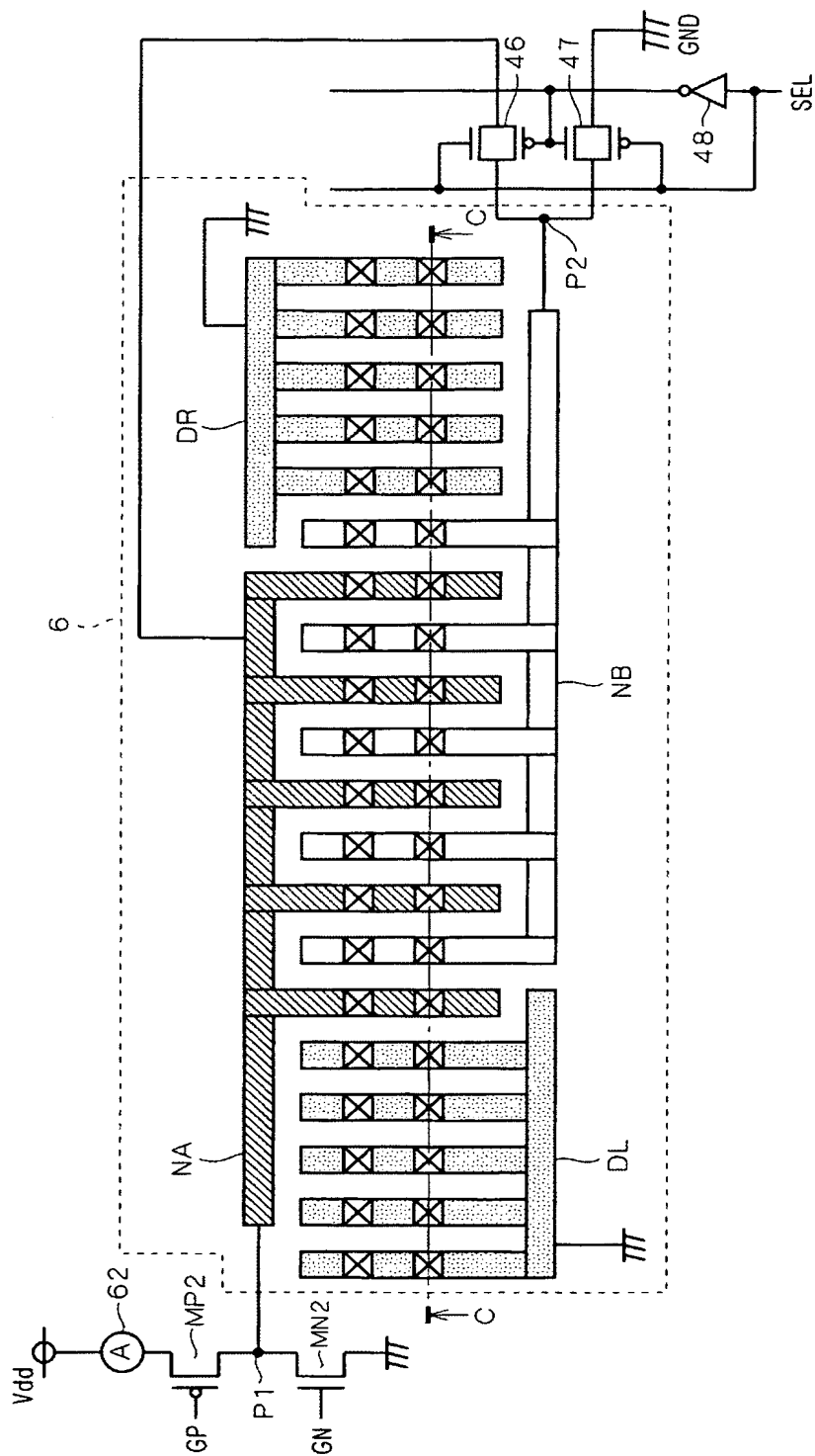




【図 31】

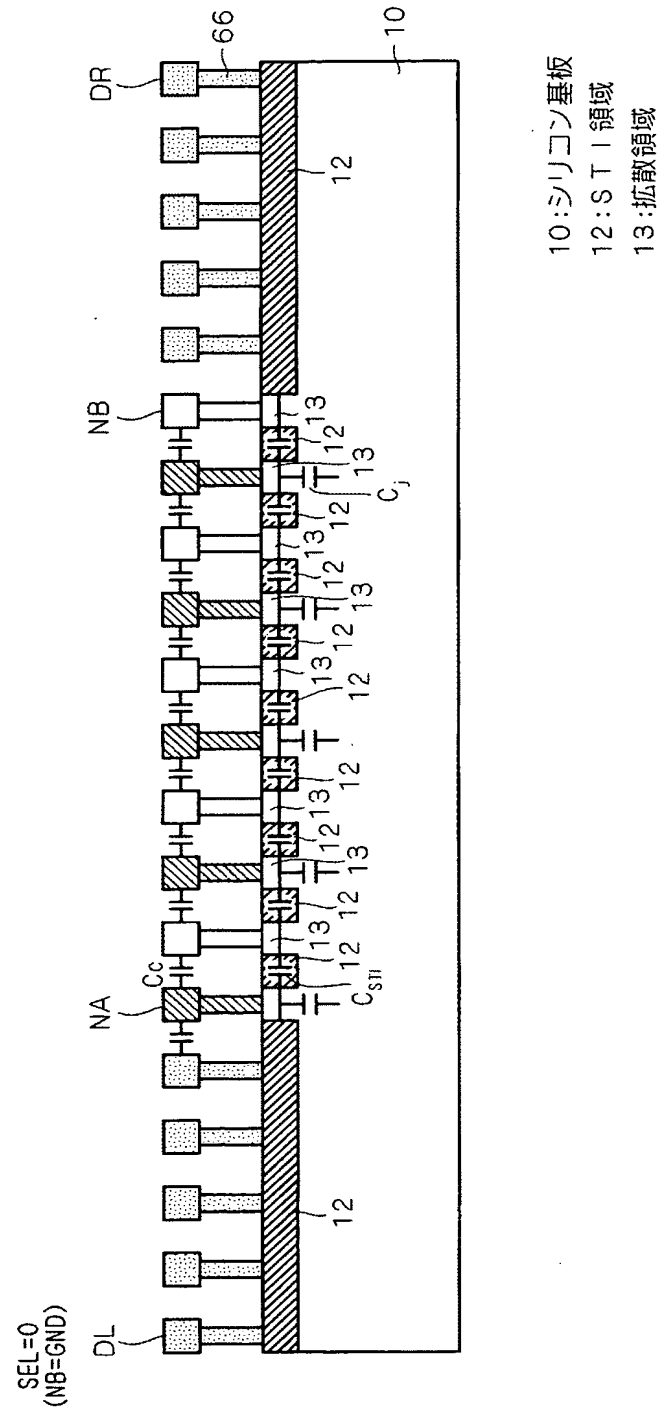


【図 3 2】

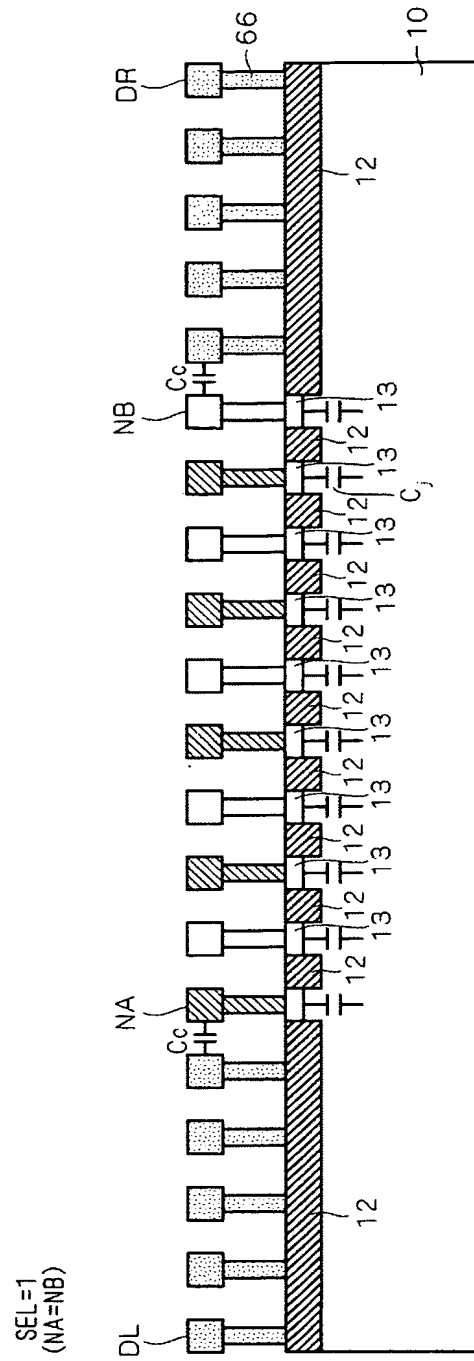


6: 測定容量形成部

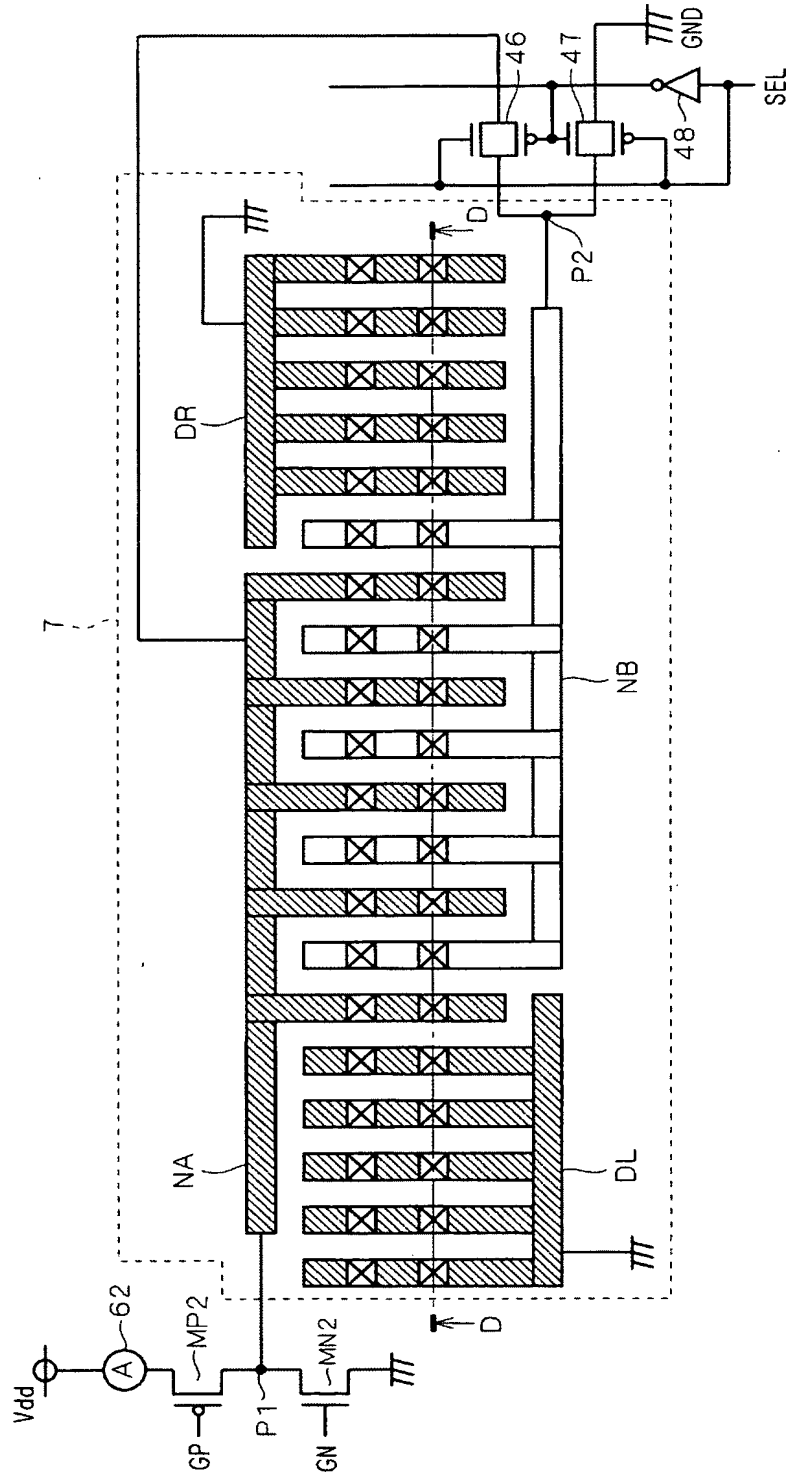
【図 3 3】



【図 34】

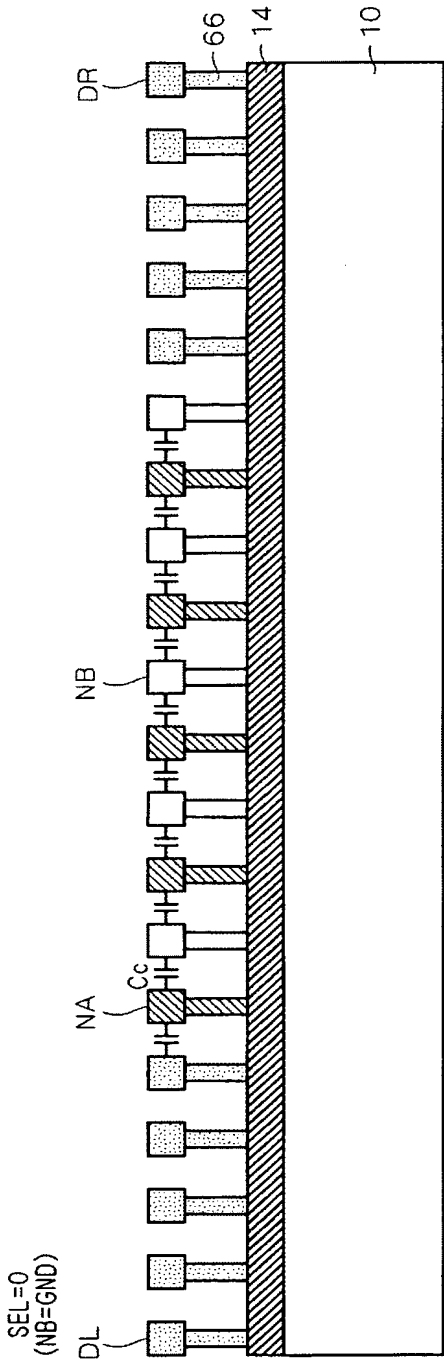


【図 35】



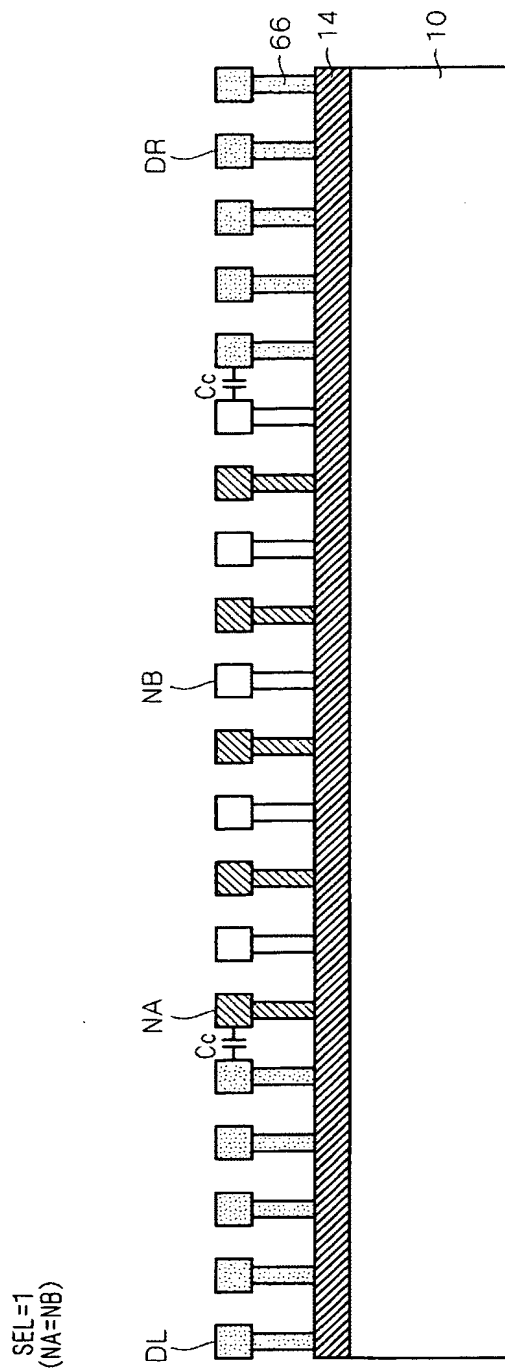
7 : 測定容量形成部

【図 36】

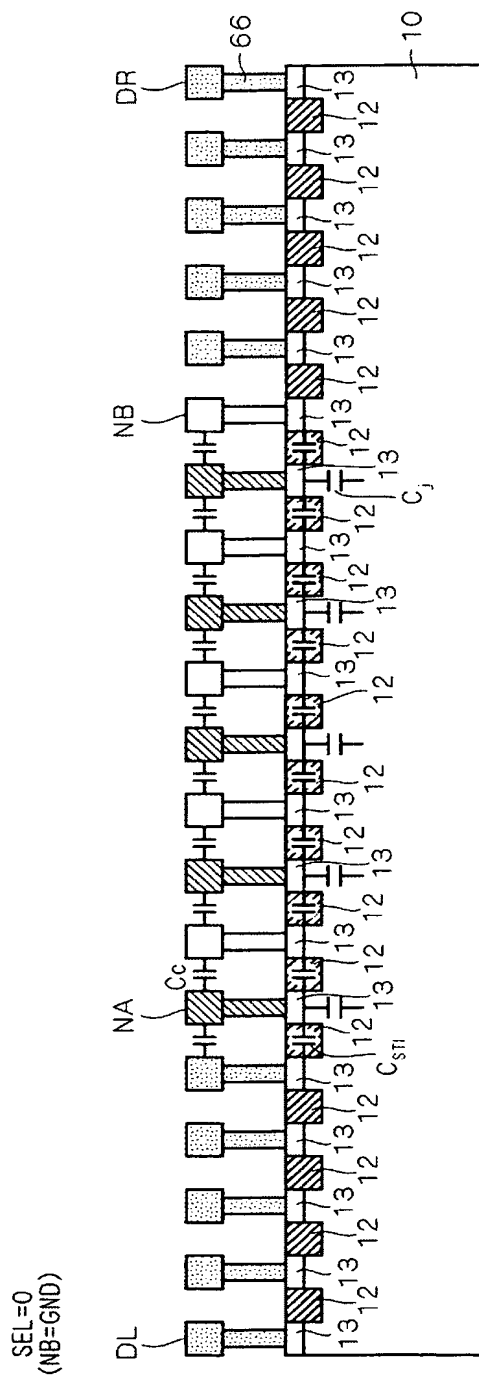


14:STI領域

【図 37】

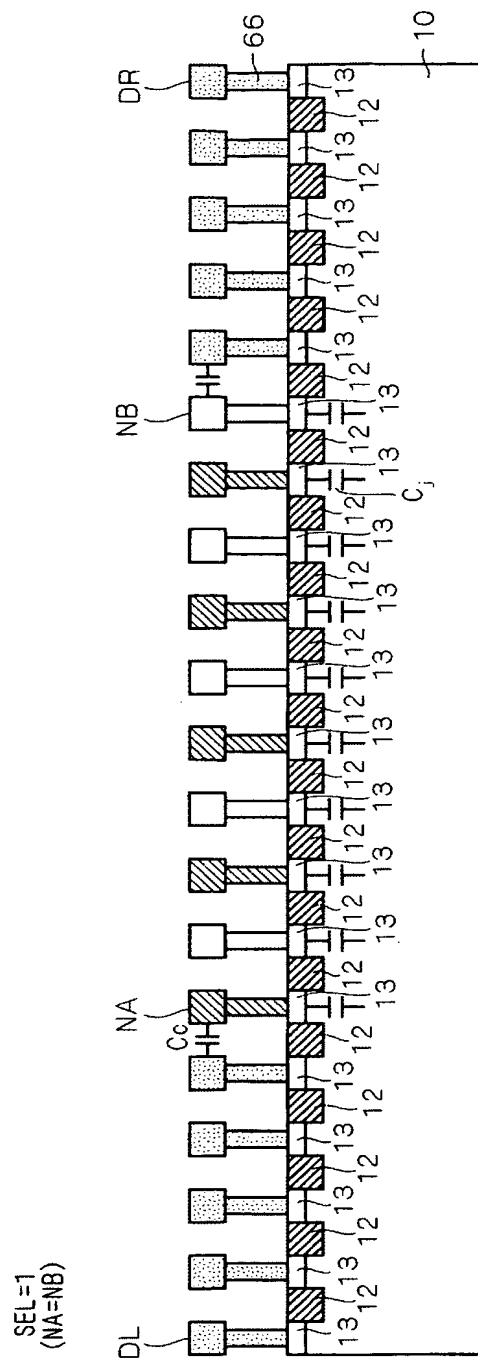


【图 3 8】

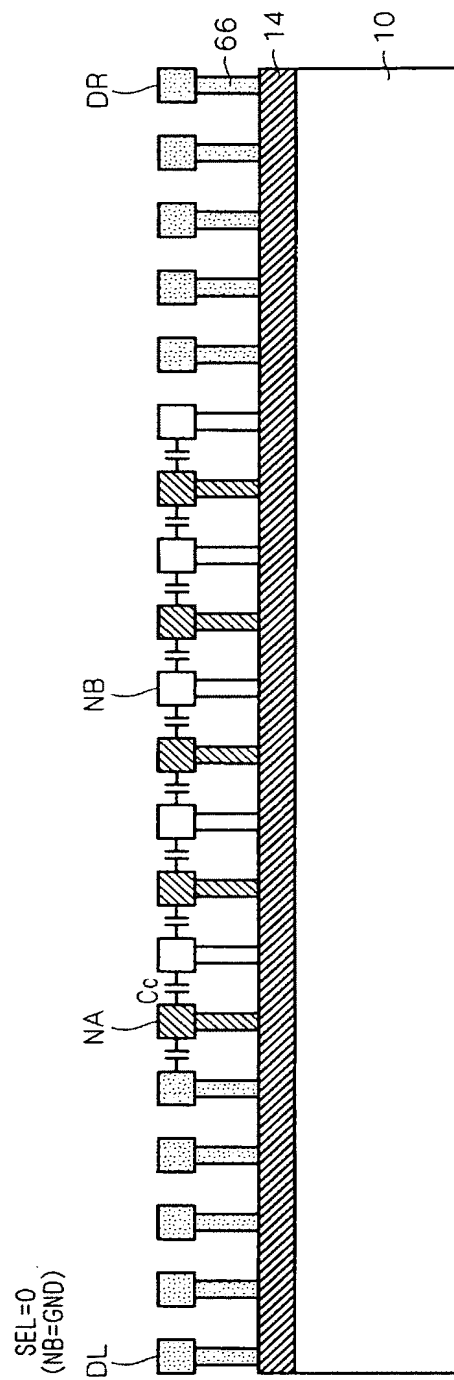




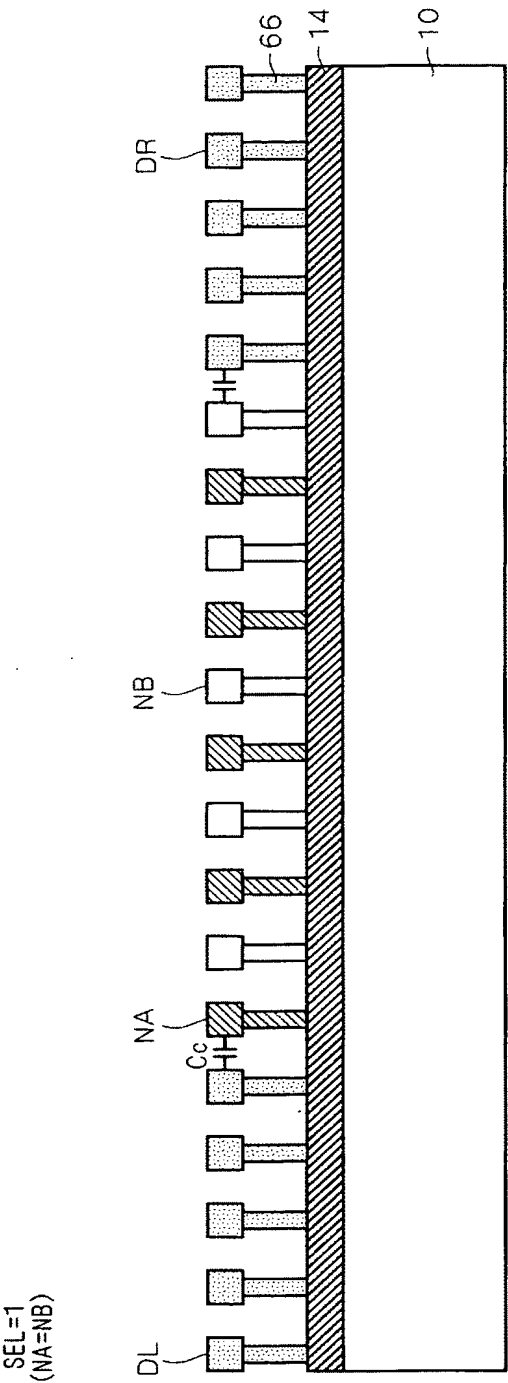
【図 39】



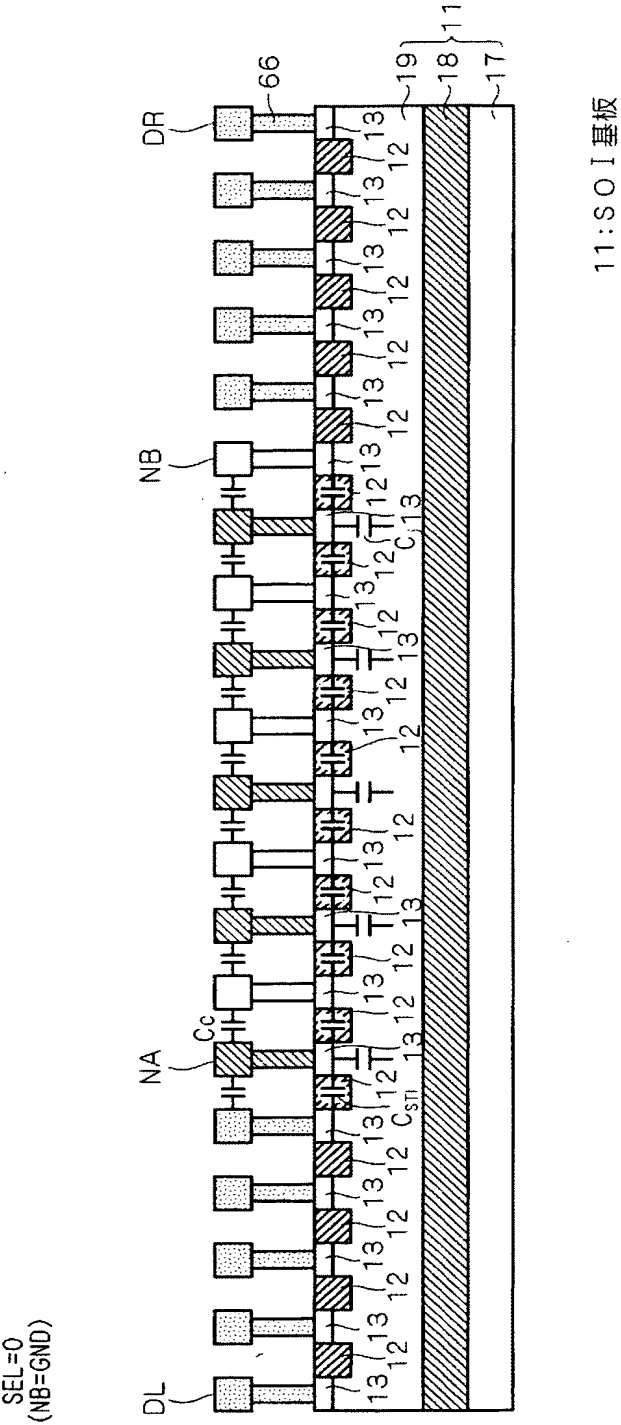
【図 40】



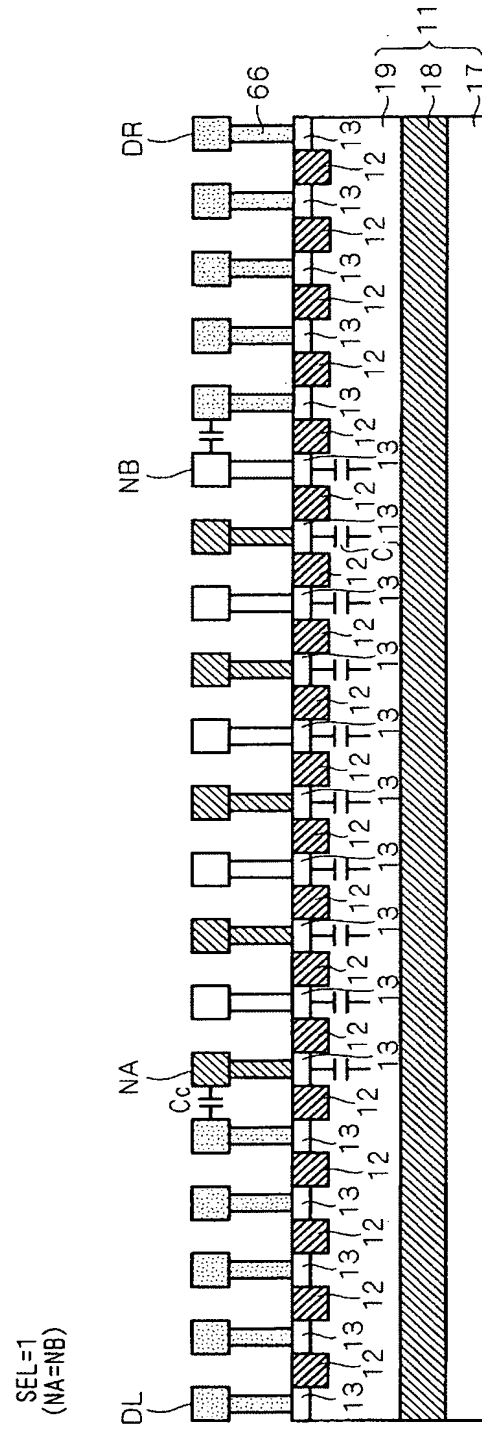
【図 4 1】



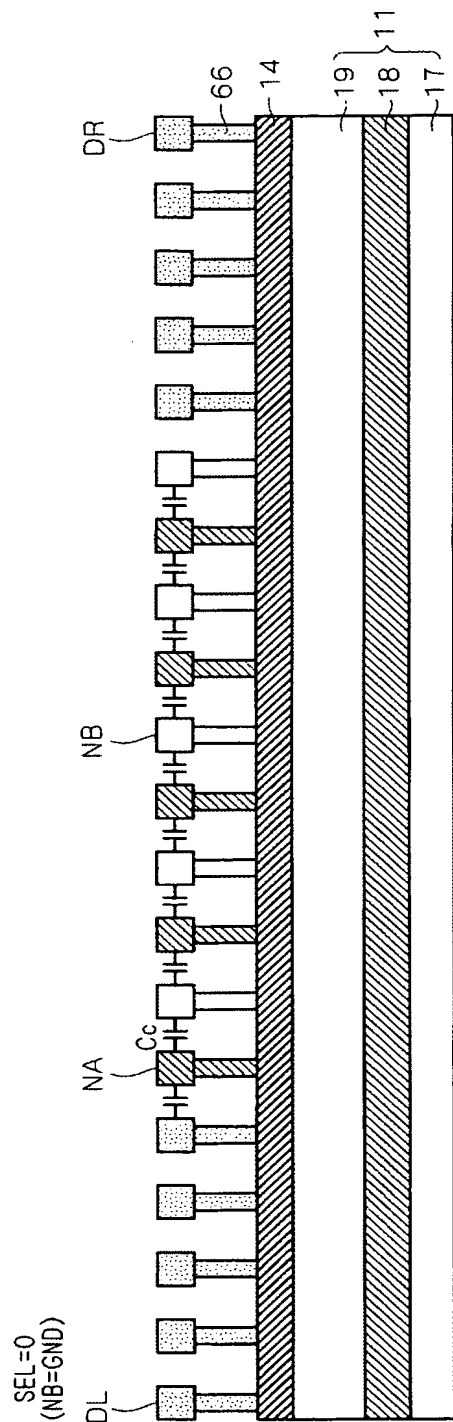
【図 4 2】



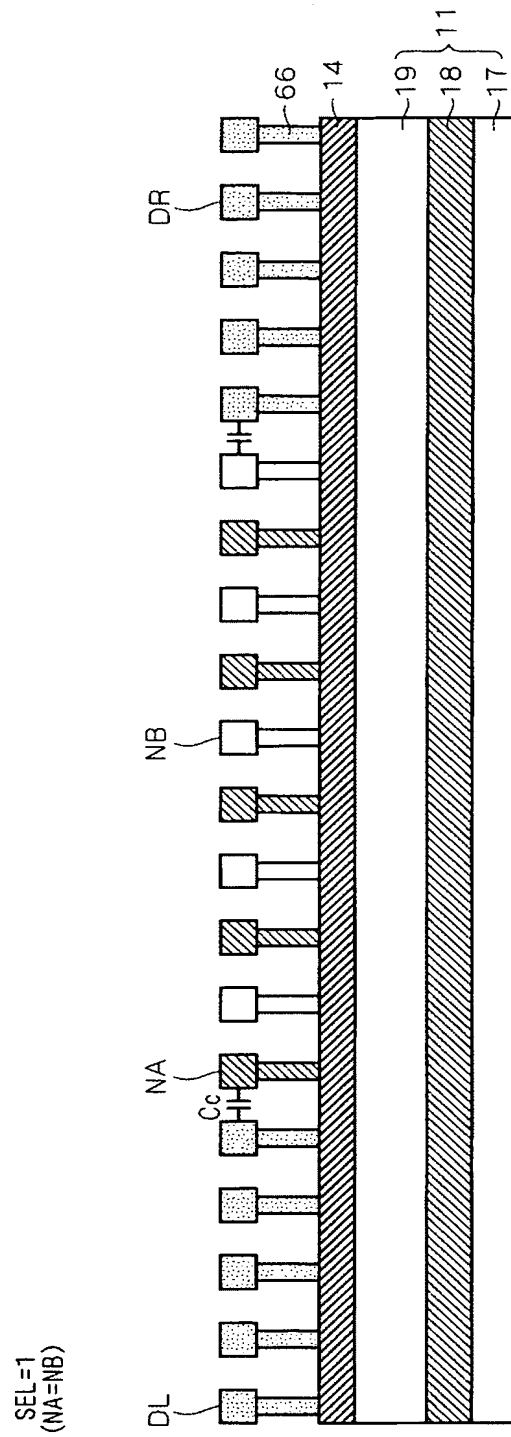
【図 4 3】



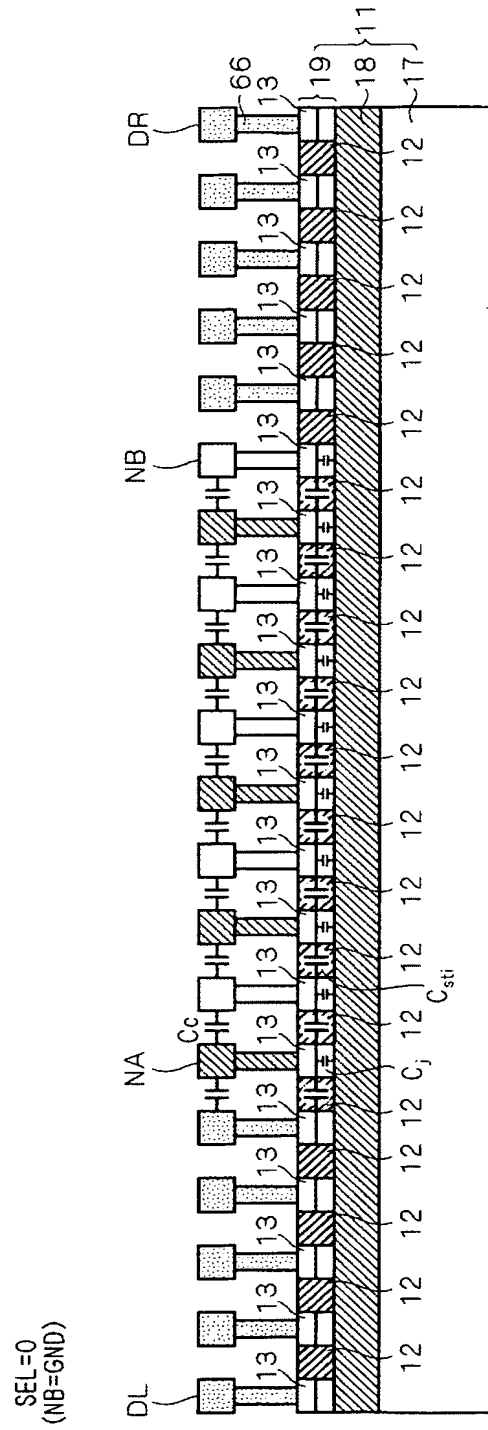
【図 44】



【図 4 5】

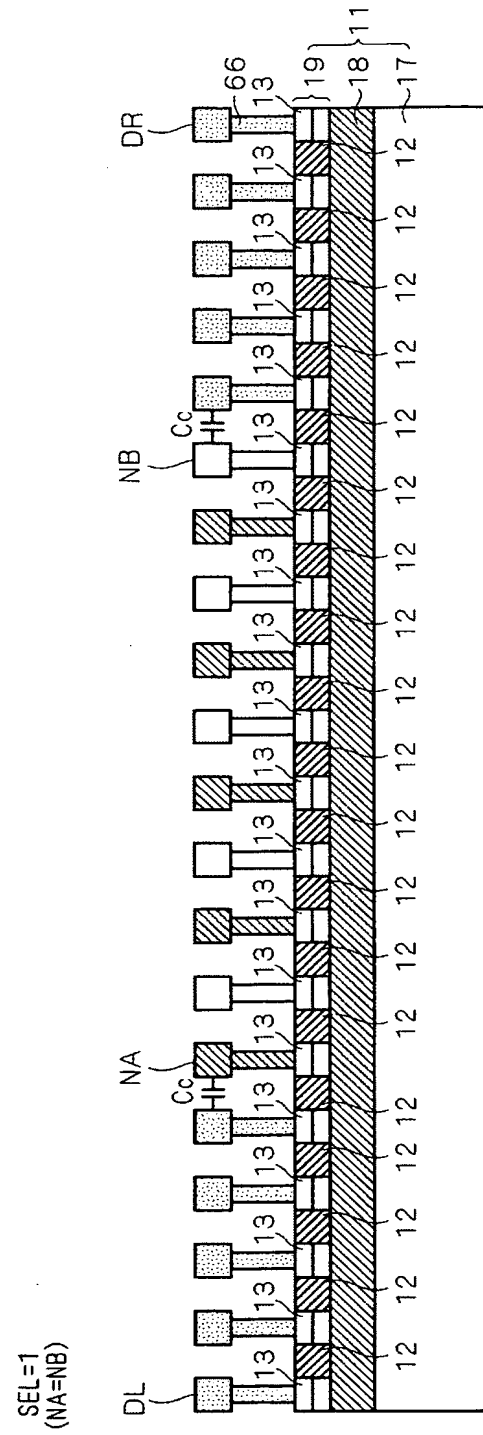


【図 4 6】

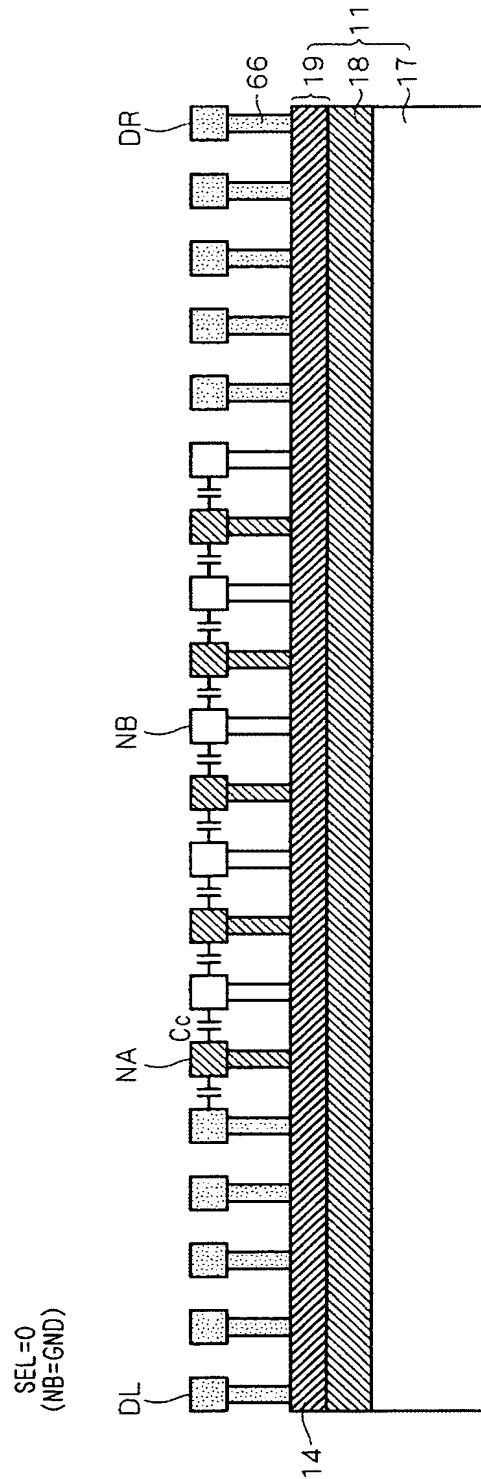




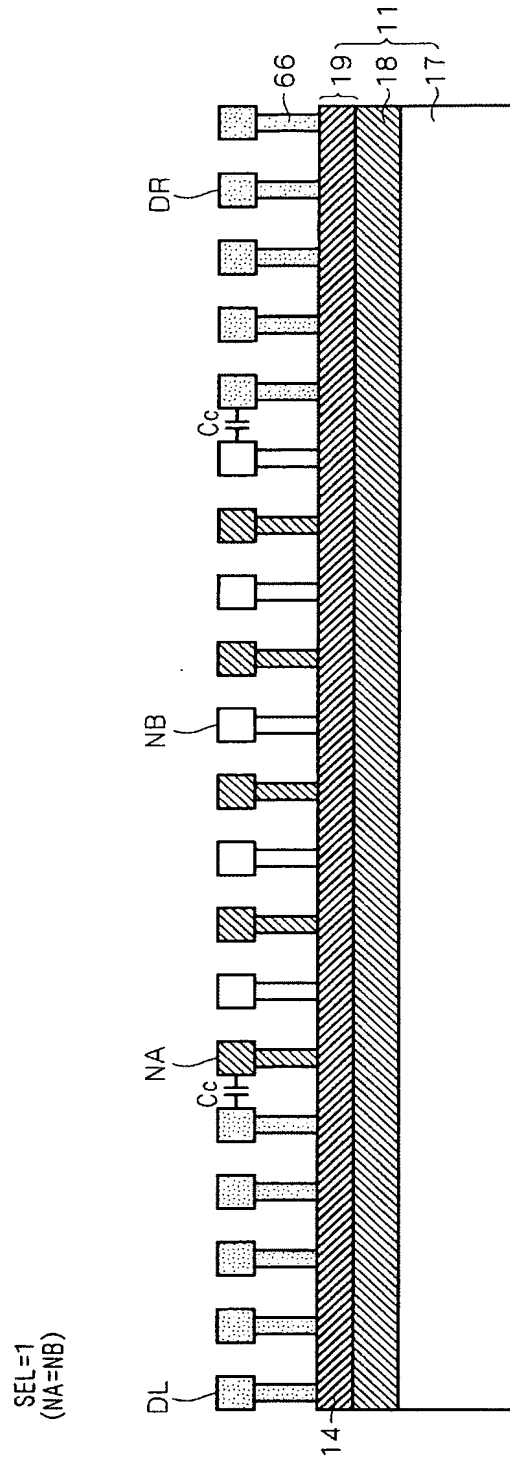
【図 4 7】



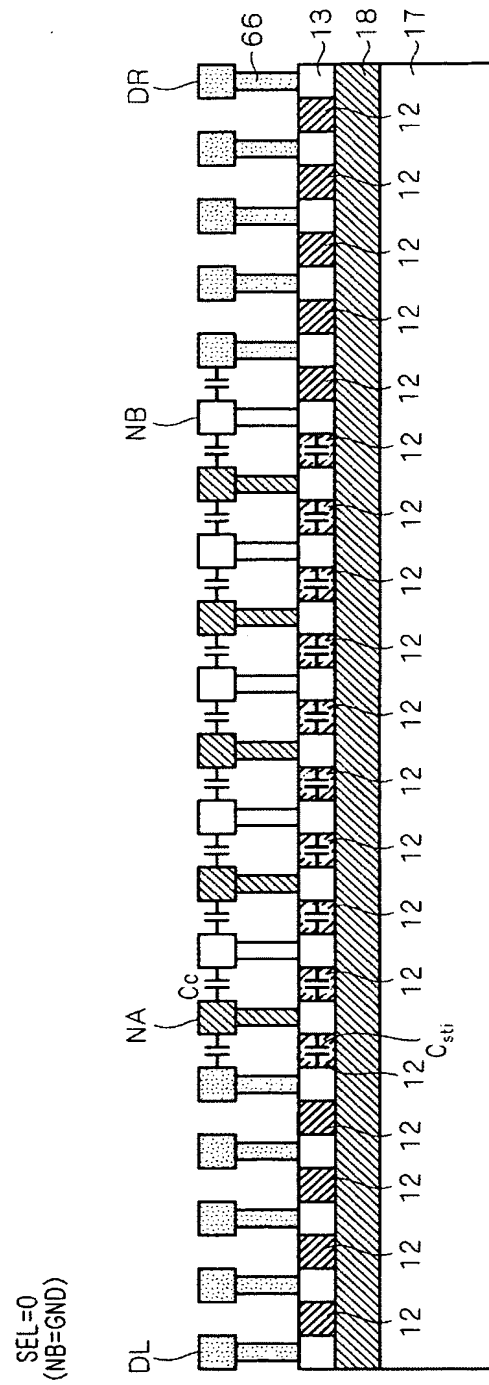
【図 48】



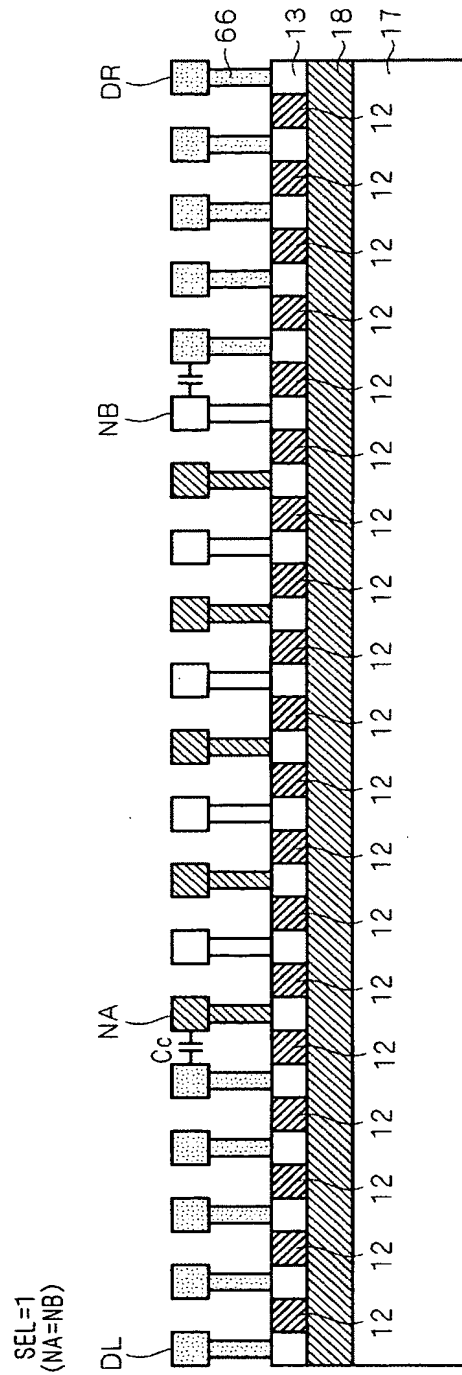
【図 49】



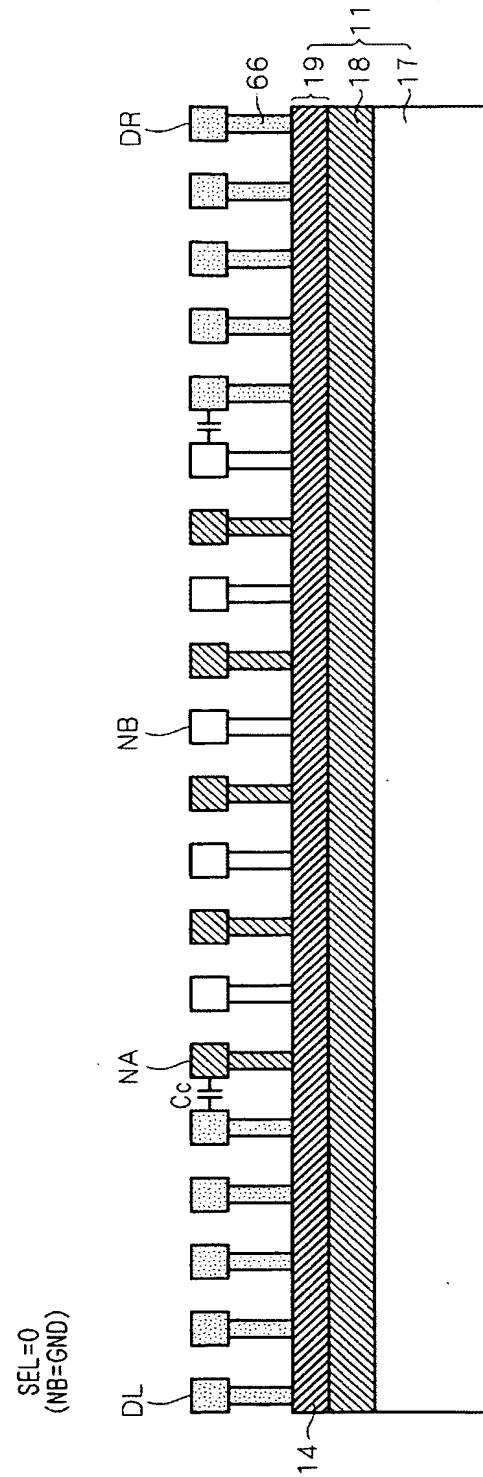
【図 50】



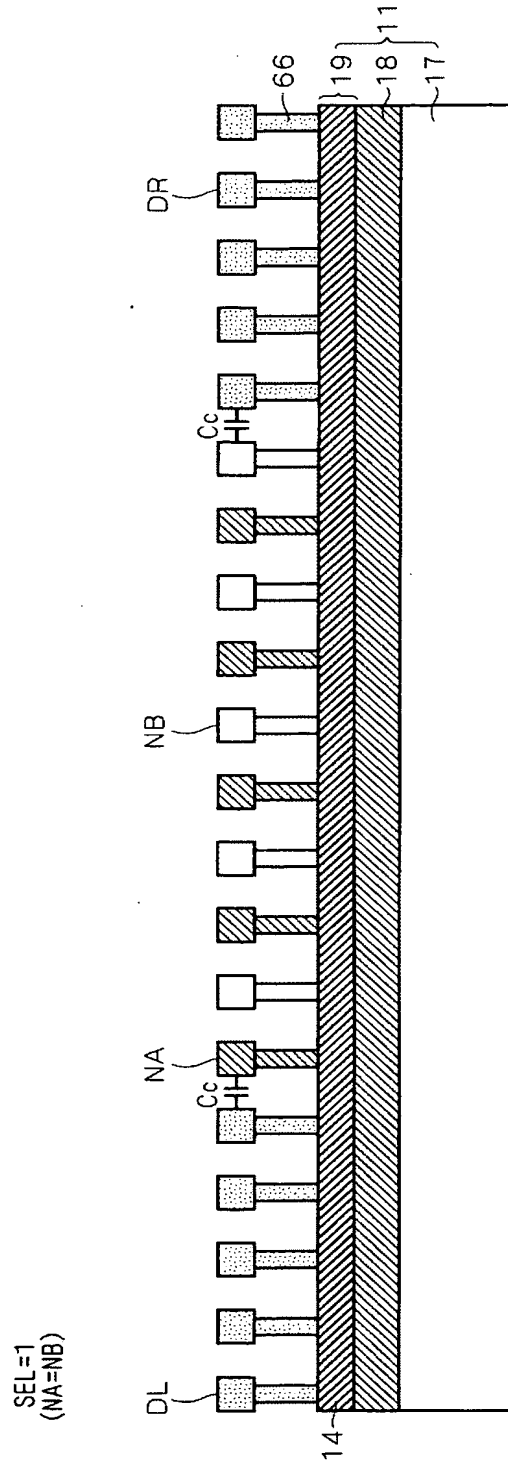
【図 5 1】



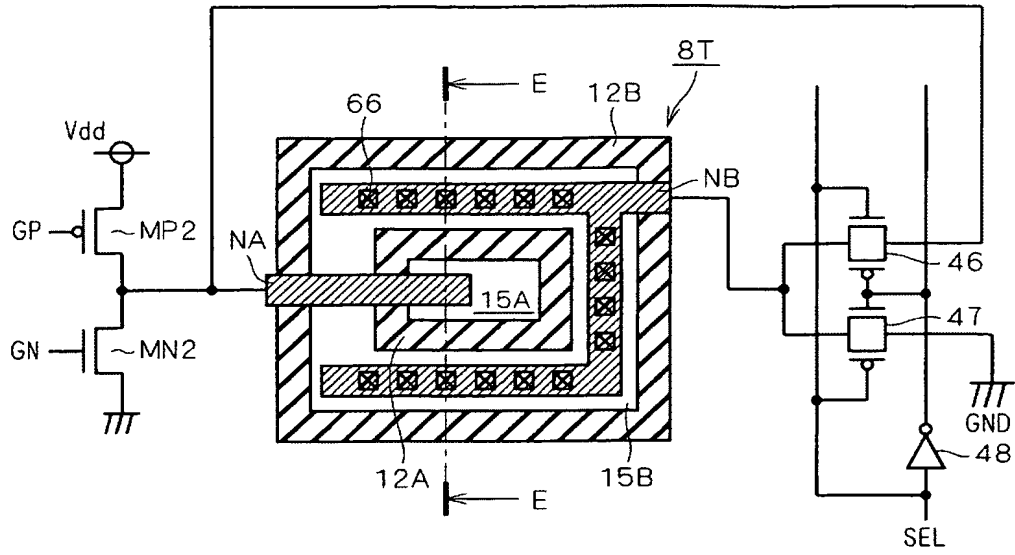
【図 52】



【図 53】

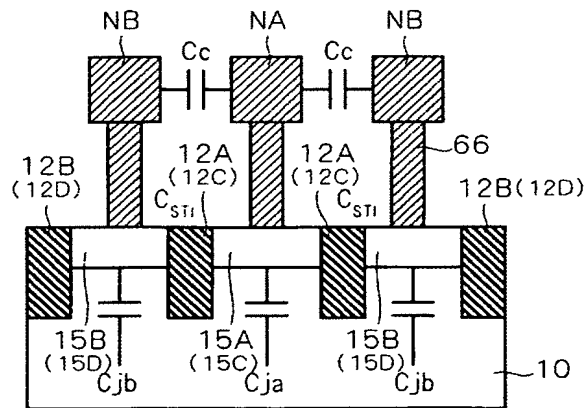


【図 5 4】



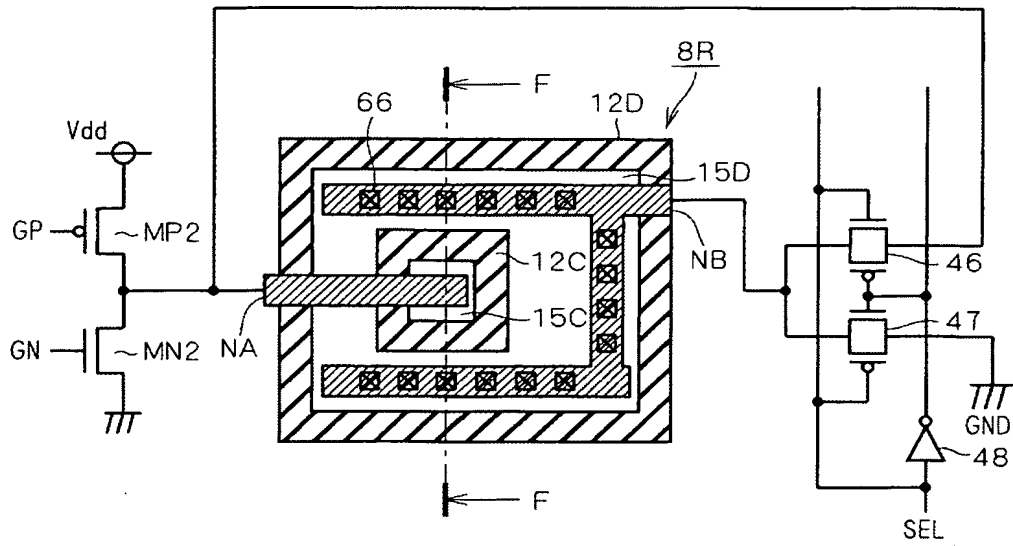
8T:測定容量形成部

【図 5 5】



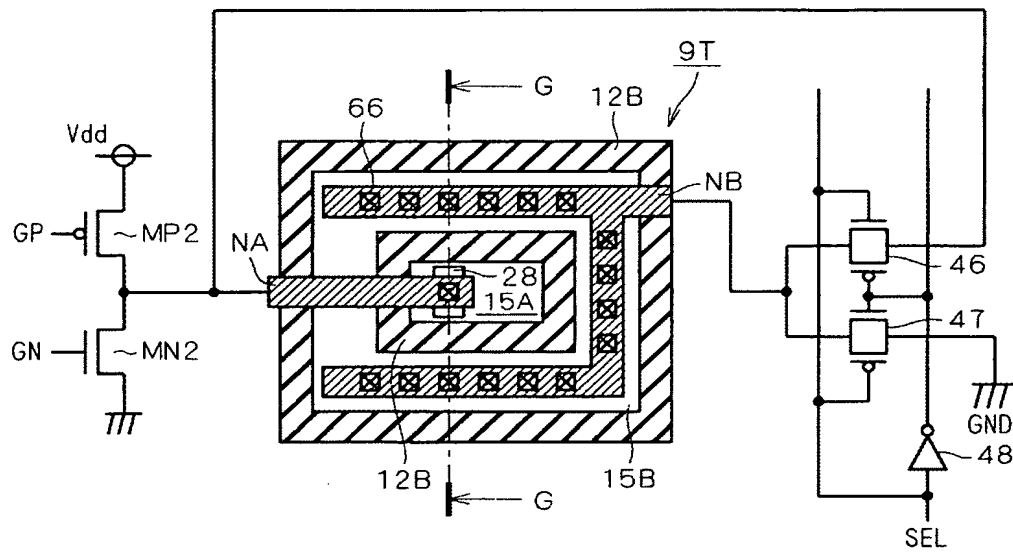


【図 5 6】



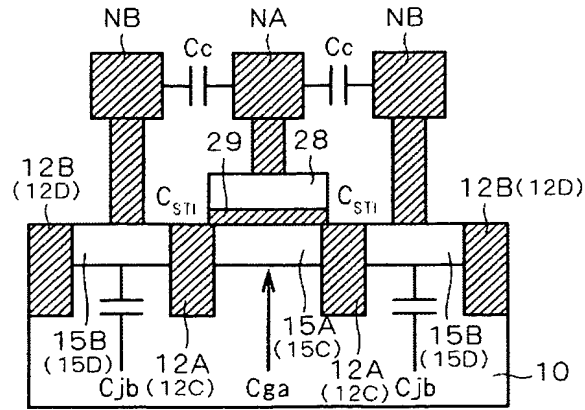
8R:測定容量形成部  
12C, 12D:STI領域  
15C, 15D:拡散領域

【図 5 7】

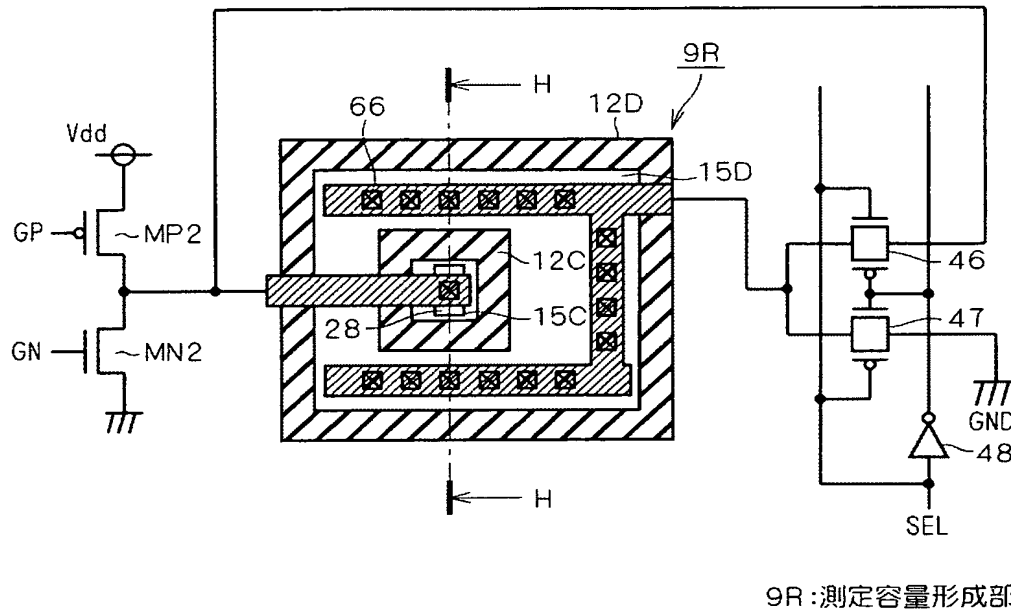


9T:測定容量形成部

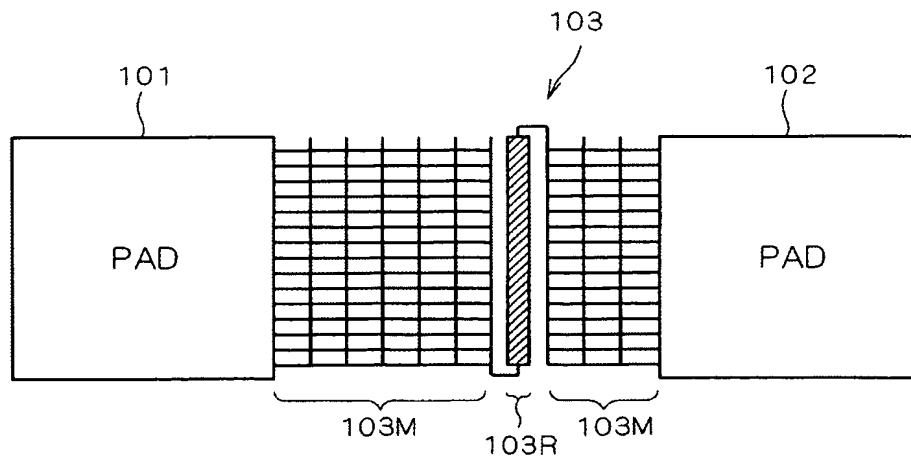
【図 5 8】



【図 5 9】

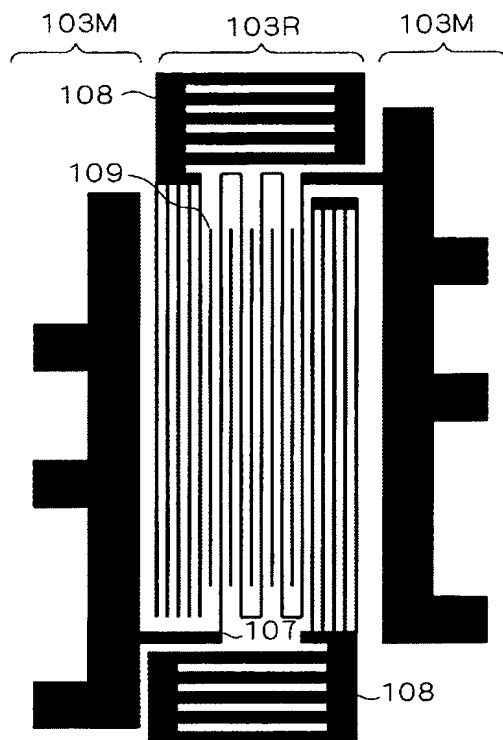


【図 60】

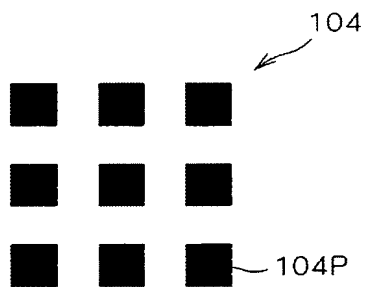


103：配線抵抗パターン      103M：メッシュ状配線部      103R：抵抗部

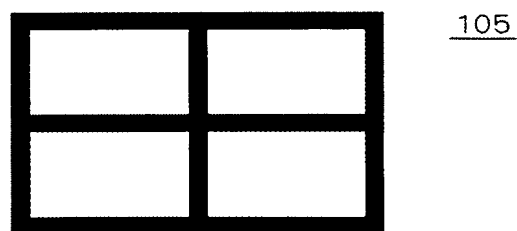
【図 6 1】



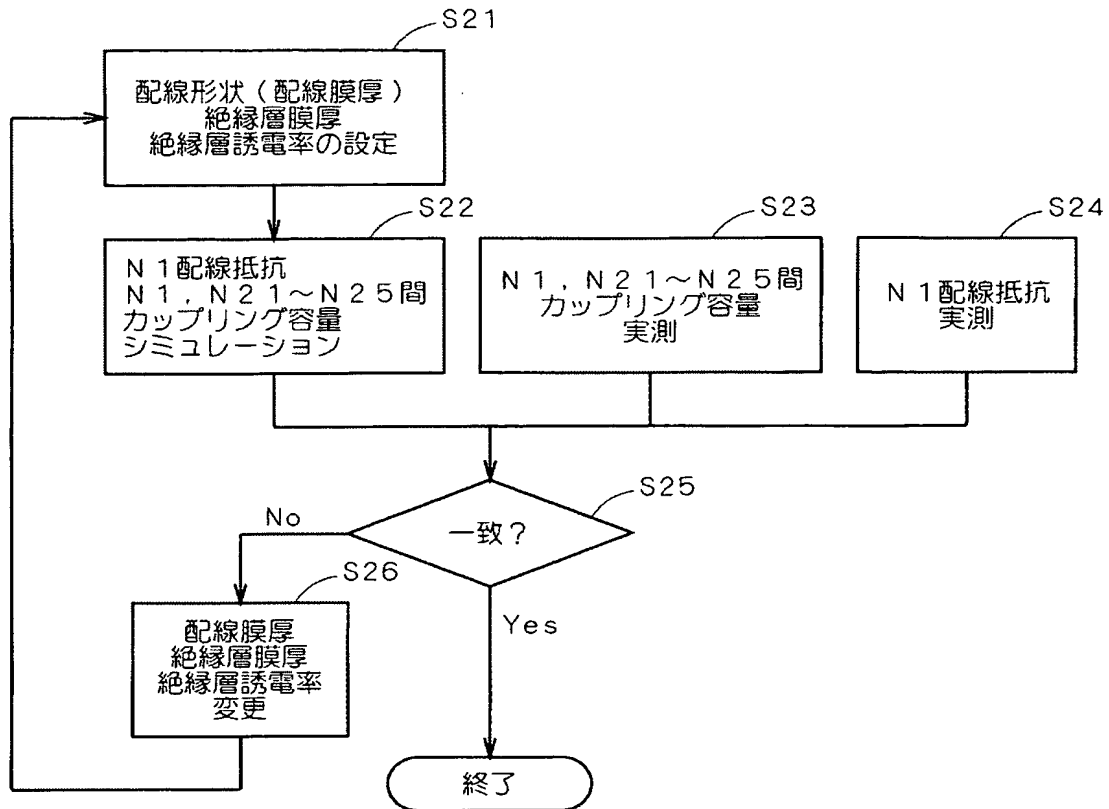
【図 6 2】



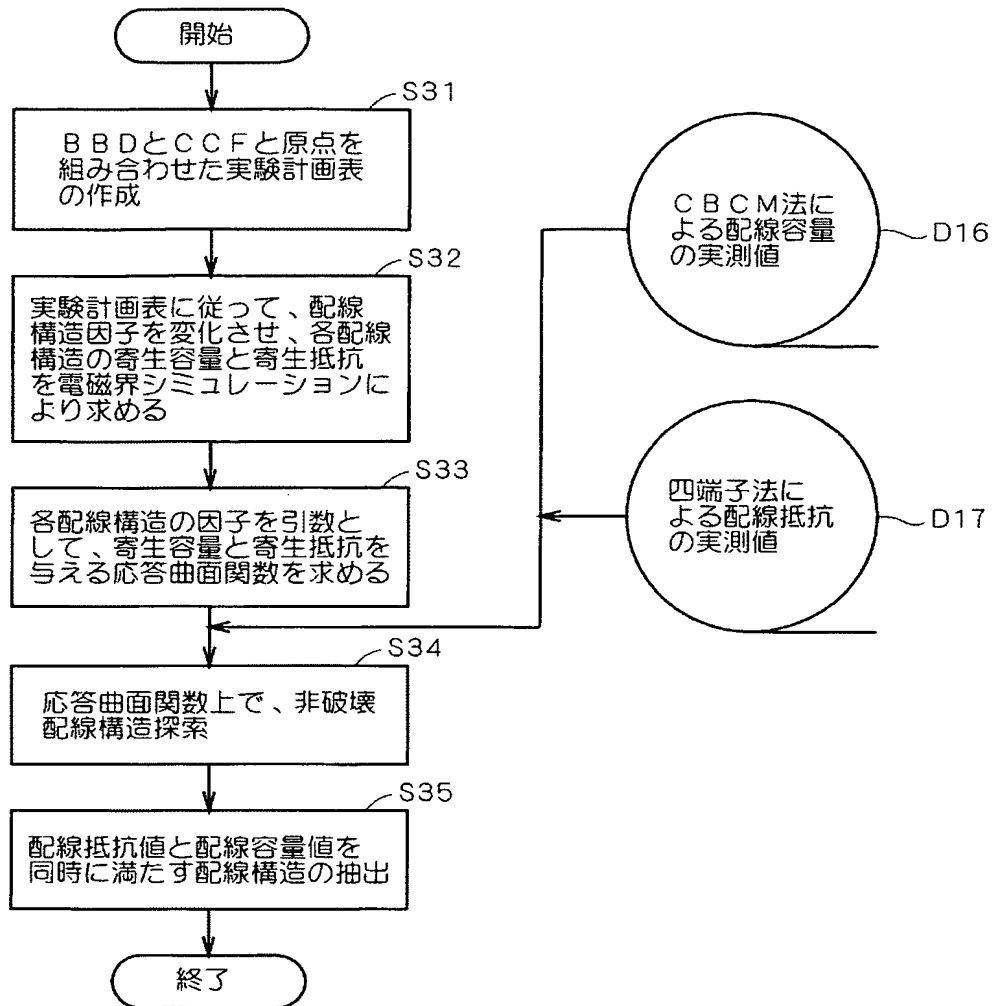
【図 6 3】



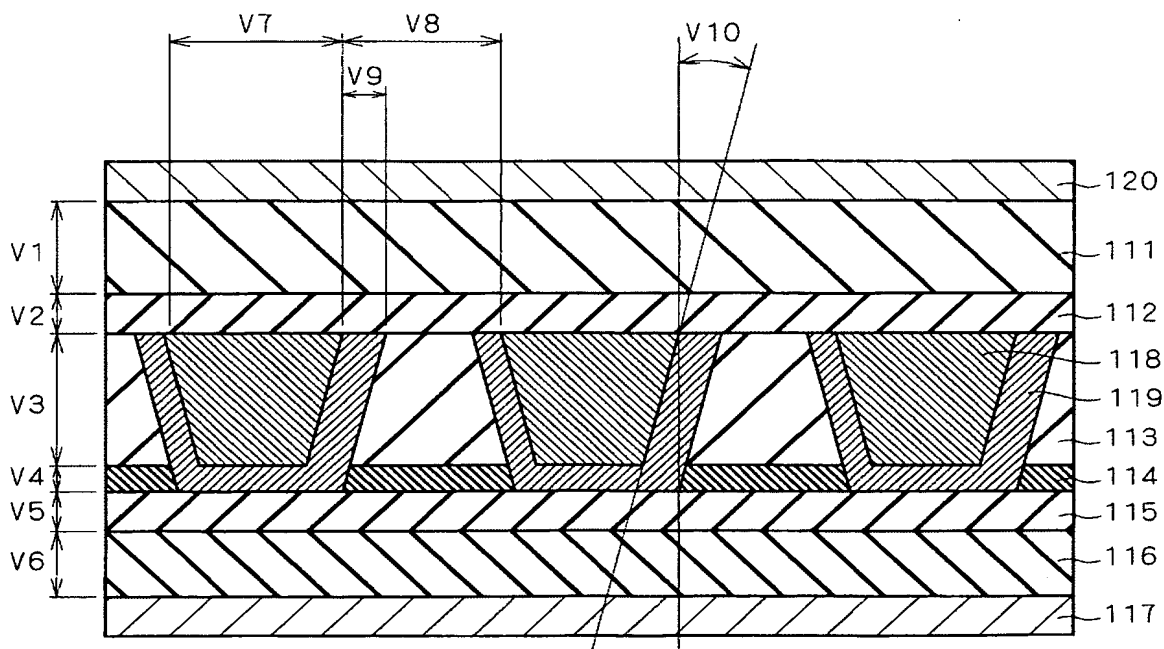
【図 6 4】



【図 6 5】



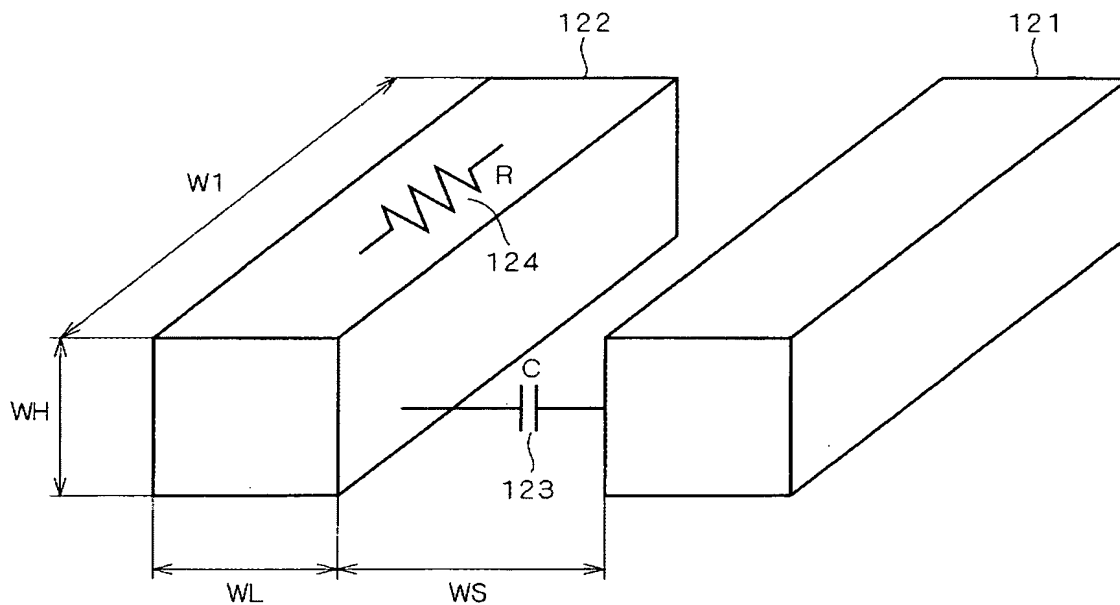
【図 6 6】



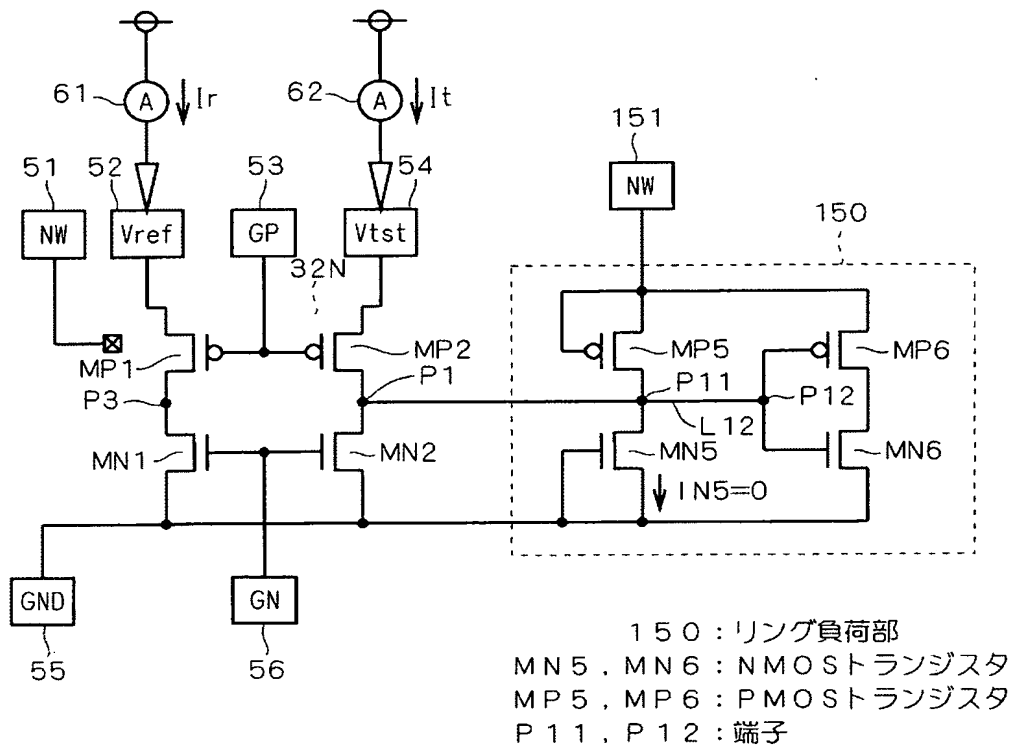
【図 6 7】

	V1	V2	V3	V4	V5	V6	V7	V8	V9	V10
配線構造 1	-1	-1	0	0	-1	0	-1	0	0	0
配線構造 2	1	-1	0	0	-1	0	-1	0	0	0
配線構造 3	-1	1	0	0	-1	0	-1	0	0	0
配線構造 4	1	1	0	0	-1	0	-1	0	0	0
配線構造 5	-1	-1	0	0	1	0	-1	0	0	0
配線構造 6	1	-1	0	0	1	0	-1	0	0	0
配線構造 7	-1	1	0	0	1	0	-1	0	0	0
配線構造 8	1	1	0	0	1	0	-1	0	0	0
...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...

【図 6 8】



【図 69】







**【書類名】 要約書****【要約】**

**【課題】** 被測定対象の容量成分を分離した測定が可能なCBCM用回路を得る。

**【解決手段】** PMOSトランジスタMP2，NMOSトランジスタMN2のドレイン間の端子P2にノードN1が電氣的に接続され、ノードN1はノードN2との間に測定容量形成部としてカップリング容量Ccが形成される。ノードN2は端子P2及びNMOSトランジスタMN3を介してパッド58に接続され、PMOSトランジスタMP1，NMOSトランジスタMN1のドレイン間の端子P3にノードN3が接続される。ノードN3にはダミー容量として基準容量Crefが設けられる。電流計61及び電流計62によって電源からノードN3及びノードN1にそれぞれ供給される電流Ir及び電流Itがそれぞれ測定され、電流計63によってノードN2から誘起され接地レベルに流れる電流Imが測定される。

**【選択図】 図1**

特願 2 0 0 4 - 0 0 5 8 5 7

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ

特願 2 0 0 4 - 0 0 5 8 5 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社